

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163194

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H01L 21/304
B24B 37/00
G02F 1/1368
H01L 21/3205
H01L 21/336
H01L 23/12
H01L 29/786

(21)Application number : 2001-363190

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 28.11.2001

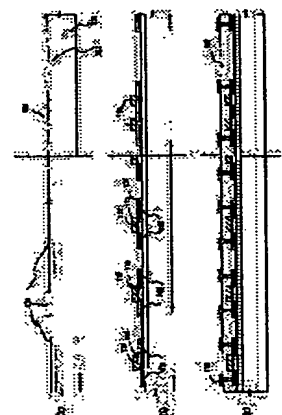
(72)Inventor : ISHIKAWA AKIRA
EGUCHI SHINGO
HAMAMOTO YURIKO

(54) POLISHING METHOD AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide technology for reducing unevenness of polishing speed due to the density of a pattern causing protrusions and recesses when a film having multilayer structure is planarized by polishing the protrusions and recesses.

SOLUTION: Unevenness of polishing speed is reduced by providing openings positively in the surface of a film having a high pattern density being polished for planarization thus forming a planarized film having high in-plane uniformity regardless of the pattern density and the dimensions. A semiconductor device having a high degree of integration can be obtained using a uniform planarized film thus formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The polish approach characterized by grinding the film with which opening was formed in said film and said opening was formed in the approach of grinding the level difference of the film of a laminated structure to the field where the level difference of said film is low.

[Claim 2] The polish approach characterized by grinding the film with which opening was formed only in the field where the level difference of said film is high, and said opening was formed in the approach of grinding the level difference of the film of a laminated structure to the field where the level difference of said film is low.

[Claim 3] The polish approach characterized by grinding the film with which the wrap film was formed for the substrate level difference, opening was formed in said film front face, and said opening was formed.

[Claim 4] It is the polish approach characterized by being the approach of grinding the film with which the wrap film was formed for the substrate level difference, opening was formed in said film front face, and said opening was formed, and the front face of said film forming opening so that it may have heights and a crevice and the area of said heights may become equal.

[Claim 5] It is the polish approach which is the approach of grinding the film with which the wrap film was formed for the substrate level difference, opening was formed in said film front face, and said opening was formed, as for the front face of said film, has heights and a crevice, and is characterized by forming said opening only in the heights of said film.

[Claim 6] It is the polish approach characterized by grinding the film with which it was the approach of grinding the film with which the wrap film was formed for the substrate level difference, opening was formed in said film front face, and said opening was formed, and said opening was formed in the heights of said film, and it did not form [as for the front face of said film, it has heights and a crevice, and] in the crevice of said film, but said opening was formed to the thickness of said crevice.

[Claim 7] It is the polish approach characterized by said substrate level difference being wiring in claim 3 thru/or any 1 of 6.

[Claim 8] The polish approach characterized by grinding said film by the CMP method, the mechanical-polishing method, or the ELID method in claim 1 thru/or any 1 of 7.

[Claim 9] 8 is [claim 1 thru/or] the polish approach which sets one and is characterized by forming said film of a plasma-CVD method, a reduced pressure CVD method, a heat CVD method, or a spatter either.

[Claim 10] The polish approach characterized by forming said opening by the etching method in claim 1 thru/or any 1 of 9.

[Claim 11] The polish approach characterized by forming said opening in claim 1 thru/or any 1 of 10 so that said film may not be penetrated.

[Claim 12] It is the polish approach characterized by the configuration of two or more of said openings having the shape of the shape of a line and a circle, the shape of a grid, and a rectangle in claim 1 thru/or any 1 of 11.

[Claim 13] The polish approach characterized by forming opening in claim 1 thru/or any 1 of 12 so that the area of said opening may become equal.

[Claim 14] It is the polish approach characterized by said film consisting of oxidation silicon, oxidation silicon nitride, or silicon nitride in claim 1 thru/or any 1 of 13.

[Claim 15] It is the production approach of the thin film transistor which it is the production approach of the thin film transistor which grinds the insulator layer in which the semi-conductor film was formed on the insulating front face, the insulator layer was formed on said semi-conductor film, opening was formed in said insulator layer front face, and said opening was formed, and said thin film transistor has the drive circuit section and the pixel section, and is characterized by for there to be more openings on said drive circuit section in said insulator layer than the number of openings on said pixel section.

[Claim 16] The semi-conductor film formed on the insulating front face, and the source field and drain field formed into said semi-conductor film, The 1st insulator layer formed on said semi-conductor film, and wiring connected to said source field and the drain field through the contact formed in said 1st insulator layer, The production approach of the thin film transistor characterized by grinding the insulator layer in which opening was formed in the front face of said 1st and 2nd insulator layers, and said opening was formed in the production approach of a semiconductor device of having the 2nd insulator layer formed on said wiring.

[Claim 17] It is the production approach of the thin film transistor characterized by the configuration of two or more of said openings having the shape of the shape of a line and a circle, the shape of a grid, and a rectangle in claims 11 or 12.

[Claim 18] It is the production approach of the thin film transistor characterized by said insulator layer consisting of either oxidization silicon, oxidization silicon nitride and silicon nitride in claim 11 thru/or any 1 of 13.

[Claim 19] The diameter of opening of an insulator layer [in / on claim 11 thru/or any 1 of 14 and / said said drive circuit section] is the production approach of the thin film transistor characterized by being smaller than the opening diameter of the insulator layer in said pixel section.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the production approach of electronic equipment of having carried as components the electro-optic device and such an electro-optic device which are represented by the production approach, for example, the liquid crystal display, and EL display of a semiconductor device. It is related with the technique which carries out flattening of the insulator layer on the component in the semiconductor device which has multilayer-interconnection structure especially, and wiring. In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and an electro-optic device, a semiconductor integrated circuit, and electronic equipment are also semiconductor devices.

[0002]

[Description of the Prior Art] Since thickness of wiring cannot be reduced even if it is the case where the width of face of wiring is reduced if it considers controlling increase of wiring resistance, although detailed-izing and a multilayer-interconnection technique are indispensable in a semiconductor device in order to raise a degree of integration, the substrate level difference produced in the insulator layer formed on wiring becomes so large that detailed-ization is advanced. Aggravation of such surface smoothness of an insulator layer makes difficult processing at the time of forming wiring after carrying out opening of the through hole to an insulator layer. Specifically in a photolithography process, the thing of a level difference for which a focus is doubled uniformly up and down becomes difficult. Moreover, in an etching process, since the thickness which should be etched at the time of through hole opening differs locally, positive opening becomes difficult and it is at the time of wiring etching to become easy to produce the etching remainder in a level difference.

[0003] Then, if it is in the former in order to solve the above-mentioned problem, the CMP (Chemical Mechanical Polishing) technique which grinds the front face of an insulator layer chemically and mechanically using an abrasive material and a scouring pad is used. It is suitable for obtaining the film which mechanical polishing, ELID, etc. are mentioned in addition to a CMP technique, and has the outstanding surface smoothness.

[0004] For example, when using a CMP technique for flattening of the interlayer insulation film of a multilayer interconnection, after forming components, such as a transistor, and wiring, a wrap insulator layer is formed for wiring etc. with a CVD method. Since membranes are formed so that the configuration of wiring may be met, the irregularity which reflected the dimension of a circuit pattern and the consistency in that front face produces the insulator layer formed with the CVD method at this time. Since the problem on processing which such irregularity mentioned above is caused, flattening of the front face of an insulator layer is ground and carried out with CMP equipment.

[0005] However, by the conventional polish approach, a polish rate changes with the shape of toothing of the film to grind, and polish rates differ locally depending on the dimension and consistency of a circuit pattern of a substrate. For this reason, a level difference will not be able to be canceled completely but problems, like the residual film thickness of an insulator layer becomes an ununiformity in a substrate side will arise.

[0006] A result which cannot solve the problem on processing which a through hole is formed in an insulator layer, and it faces forming wiring on an insulator layer, and was mentioned above for the process with such inadequate flattening capacity is brought.

[0007] as, as for the flattening approach by polish on the conventional front face of an insulator layer, the polish rate of an insulator layer will become slow in the high part (for example, drive circuit section in the TFT panel for liquid crystal displays) of a wiring consistency and the polish rate of an insulator layer will become quick in a part with a low wiring consistency (pixel section in the TFT panel for liquid crystal displays) — the non-dense of a wiring consistency — it will be influenced densely and a polish rate will become an ununiformity in a substrate side.

[0008] Therefore, if it sees on the whole, the thickness difference of an insulator layer will arise, and a crater will be made into a part with a low wiring consistency (pixel section). The graph of drawing 6 measures the thickness of an insulator layer on a circuit pattern, after grinding the insulator layer formed on the substrate which has the drive circuit section which is shown in drawing 17, and the pixel section with CMP equipment.

[0009] It turns out that the polish conditions of the drive circuit section and the pixel section differ clearly from drawing 6. Moreover, even if a substrate level difference compares equal patterns depending on the wave within the field of a substrate, and the property of equipment, a polish rate may become an ununiformity in a substrate side.

[0010] In order to solve this problem, after arranging the dummy wiring 150 into a part with the low wiring consistency of a semi-conductor substrate as shown in drawing 5 and making a wiring consistency into homogeneity, there is the approach of grinding an insulator layer.

[0011] However, such an approach is restrained to the field which arranges dummy wiring, and has the difficulty which the parasitic capacitance which the degree of freedom of wiring arrangement is not only lost, but originates in dummy wiring, and wiring capacity increase. Moreover, since the part with a high wiring consistency is the drive circuit section 1706 which consists of a field in which much wiring 1705 which connects electrically the source side drive circuit 1701 and the gate side drive circuit 1702, and the pixel section 1703 was formed in the case of a transparency mold liquid crystal display as shown in drawing 17, and the part with a low wiring consistency serves as the pixel section 1703, the location in which dummy wiring prepares serves as the pixel section, and has the problem that where of a numerical aperture falls.

[Problem(s) to be Solved by the Invention]

[0012] the trouble of the above [this invention] — it is going to solve — it is a thing and aims at offering the production approach of the semiconductor device independent of the consistency of the pattern leading to a substrate level difference, and a dimension on the occasion of flattening by polish.

[0013]

[Means for Solving the Problem] This invention offers the approach of controlling the thickness difference of the insulator layer depending on the dimension and consistency of the substrate level difference leading to the irregularity produced in an insulator layer on the occasion of flattening of an insulator layer.

[0014] First, the CMP equipment which is typical equipment which grinds is explained. As shown in drawing 16, on the circle-like rotation surface plate 1621, abrasive cloth (it is also called a pad) 1622 is stuck. Urethane foam etc. is used as the quality of the material used for abrasive cloth 1622. Moreover, the rotation surface plate 1621 rotates the core as a revolving shaft 1625.

[0015] The ground object 1627 turns the field to grind to the rotation surface plate 1621, and vacuum adsorption is carried out at the metal circle-like polish head 1626. The wafer adsorption pad 1628 is formed between the ground object 1627 and the polish head 1626. There is a hole in the wafer adsorption pad 1628 and the polish head 1626, it lets a hole pass, and a glass substrate 1627 sticks to the polish head 1626. The core of the polish head 1626 is located between the core of the rotation surface plate 1621, and the periphery of the rotation surface plate 1621.

[0016] At the time of polish, a slurry 1624 is supplied to the core of the rotation surface plate 1621 through piping 1623, and a slurry 1624 spreads all over the abrasive cloth 1622 on the rotation surface plate 1621 with rotation and rocking of the rotation surface plate 1621. A slurry 1624 is the colloidal solution with which a particle, a liquid, and chemicals were mixed. As a slurry 1624, it consists of KOH etc. and the silica system slurry of pH 9–11, and the alumina (aluminum 2O3) system slurry of pH=3–4 or the slurry of a manganese oxide (MnO₂, Mn 2O₃) system can be used. The slurry of an alumina system can be used by mixing drugs with oxidizing power. In addition, it is also possible to use a neutral slurry etc. In addition, what is formed with a silica and water shall be included with a neutral slurry here. Moreover, a surfactant can also be added if needed.

[0017] A pressure is impressed to the polish head 1626 and the ground object 1627 is pushed against the abrasive cloth 1622 on the rotation surface plate 1621. If the pressure of the polish head 1626 is changed, the polish rate of the film ground can be adjusted.

[0018] In addition, about a slurry, equipment, etc. which are used for the CMP technique explained here, it cannot pass to a desirable example, other well-known things can be used, and a well-known approach can be used also about approaches, such as processing conditions.

[0019] It is characterized by this invention forming opening in the insulator layer which grinds the polish rate of an insulator layer which becomes uneven depending on the dimension of the substrate pattern leading to a level difference, a configuration, a consistency, etc. for the purpose of making it homogeneity. Therefore, even if it adopts means, such as mechanical polishing and ELID, in addition to the CMP technique indicated as the polish approach of an insulator layer, the insulator layer which has uniform surface smoothness by adaptation of this invention can be obtained.

[0020] Moreover, although the interlayer insulation film of the semiconductor device which has multilayer-interconnection structure explains on these specifications, it cannot be overemphasized that the effectiveness of this invention can be acquired even if it is not an insulator layer if it is the film which carries out flattening to homogeneity, without being influenced by the dimension of the pattern leading to a substrate level difference and the consistency of arrangement, even if it is not such an interlayer insulation film.

[0021] For example, what has what has one layer of patterns peculiar to LSI which considering the case where it becomes the cause of the level difference of an interlayer film forms the pattern leading to a level difference on Si wafer which consist of the electric conduction film, semi-conductor film, an insulator layer, etc. peculiar to a component demarcation membrane (LOCOS) and the TFT panel is gate wiring, wiring which connects components, and wiring which connects wiring as a thing common to a lower light-shielding film, a barrier layer, and both. Moreover, if the effect on the component engine performance is considered when the component formed in two or more layers causes a level difference of an interlayer film, flattening of a capacitive element or the transistor cannot be carried out until structure is completed, but they will cause these big level differences. This invention is effective in carrying out flattening of the film on such a substrate level difference.

[0022] Opening as used in this specification can consider a pattern which leaves only independent heights besides the periodic structure of the shape of the shape of a line as shows the top-face configuration to drawing 7 , and a grid, and a circle including a slot, a crevice, a hole, and a hole. The dimension of opening, arrangement, the number, etc. set up suitably according to the ingredient of a ground object, the purpose of polish, the property of CMP equipment, polish conditions, etc. (for example, a line the width of face of opening in opening, a pitch, etc.). The depth of opening does not penetrate the insulator layer which prepares opening, but although the depth which does not reach wiring leading to a level difference is desirable, it may penetrate the insulator layer which prepares opening. What is necessary is just to form the abrasive material and the interlayer insulation film which does not react between wiring which constitutes wiring leading to a level difference from abrasives and an ingredient which does not react, or causes a level difference with the insulator layer which prepares opening, when setting it as the depth which penetrates the insulator layer which prepares opening.

[0023]

[Embodiment of the Invention] (Gestalt 1 of operation) One operation gestalt of this invention is explained using drawing 3 from drawing 1 . The description of the gestalt of this operation is forming opening in a wrap interlayer insulation film for a substrate level difference as pretreatment of polish. Opening can be formed by patterning and etching which are usually used. Moreover, especially the configuration may not be limited but any of the shape of the shape of a line and a grid and a circle and the configuration of the shape of a rectangle and others are sufficient as it. Linear opening is formed with the gestalt of this operation.

[0024] Drawing 1 shows a sectional view. In drawing 1 , 101 is a substrate which has an insulating front face. For example, what prepared the silicon oxide film in the substrate front face which consists of glass, a quartz, stainless steel, a metal, ceramics, or silicon can be used. First, the substrate film which comes by the silicon oxide film 102 on a substrate 101 is formed in 10–200nm in thickness. The substrate film may carry out the laminating of the silicon nitride film, and may be only a silicon nitride film. The membrane formation approach should just use a plasma-CVD method, a heat CVD method, or a spatter.

[0025] Next, the semi-conductor film with a thickness of 25–80nm is formed by the plasma-CVD method, the heat CVD method, or the spatter on the substrate film 102. Then, the crystalline substance semi-conductor film is formed using the crystallization technique using nickel as a metallic element which promotes crystallization of silicon for the semi-conductor film. Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably. In addition, although the crystallization technique using nickel

as a metallic element which promotes crystallization of silicon here was used, the laser crystallizing method, other well-known crystallization techniques, for example, solid phase grown method, may be used.

[0026] In the case of the above-mentioned laser crystallizing method, the gas laser or solid state laser of continuous oscillation or a pulse oscillation is used for laser. As gas laser, there are an excimer laser, Ar laser, Kr laser, etc., and an YAG laser, YVO4 laser, YLF laser, YAlO3 laser, glass laser, ruby laser, AREKISANDORAIDO laser, Ti:sapphire laser, etc. are mentioned as solid state laser.

[0027] As solid state laser, the laser using the crystal of YAG, YVO4, YLF, YAlO3, etc. by which Cr, Nd, Er, Ho, Ce, Co, Ti, or Tm was doped is applied. The fundamental wave of the laser concerned changes with ingredients to dope, and the laser light which has a fundamental wave around 1 micrometer is obtained. The higher harmonic over a fundamental wave can be acquired by using a nonlinear optical element.

[0028] Moreover, in order to obtain a crystal in the diameter of a large drop on the occasion of crystallization of the amorphous semiconductor film, it is desirable to apply the 2nd higher harmonic of a fundamental wave – the 4th higher harmonic using the solid state laser in which continuous oscillation is possible. Typically, the 2nd higher harmonic (532nm) and the 3rd higher harmonic (355nm) of Nd:YVO4 laser (1064nm of fundamental waves) are applied.

[0029] The laser light injected from YVO4 laser of the continuous oscillation of output 10W is changed into a higher harmonic by the nonlinear optical element. Moreover, YVO4 crystal and a nonlinear optical element are put in into a resonator, and there is also a method of injecting a higher harmonic. And it fabricates in a laser light the shape of a rectangle, and elliptical according to optical system preferably in an exposure side, and a processed object is irradiated. About (preferably 0.1 – 10 MW/cm²) two 0.01 – 100 MW/cm is required for the energy density at this time. And what is necessary is to move the semiconductor film relatively to laser light at the rate of 10 – 2000 cm/s extent, and just to irradiate.

[0030] Then, patterning of the crystalline substance semi-conductor film is carried out, and the island-like semi-conductor layers (it is also called the barrier layer of a thin film transistor) 104 and 105 of a thin film transistor are formed. In addition, RTA may be performed and crystallinity may be raised, after forming the crystalline substance semi-conductor film. Moreover, you may carry out, after forming the island-like semi-conductor layers 104 and 105. Since a RTA process should just use a well-known technique, explanation is omitted.

[0031] Subsequently, wrap gate dielectric film 106 is formed for the island-like semi-conductor layers 104 and 105. Gate dielectric film 106 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40–150nm, and contains silicon. Of course, gate dielectric film is not limited to such an insulator layer, and may use the insulator layer containing other silicon as a monolayer or a laminating. For example, when using the silicon oxide film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300–400 degrees C, it can be made to be able to discharge by the RF (13.56MHz), power flux density 0.5 – 0.8 W/cm², and can form. Thus, the silicon oxide film produced can acquire a property good as gate dielectric film by 400–500-degree C heat annealing after that.

[0032] And the electric conduction film for forming a gate electrode on gate dielectric film 106 is formed in 100–400nm in thickness. With the gestalt of this operation, it forms by carrying out the electric conduction film which consists of Ta by the spatter, and carrying out the spatter of the target of Ta by Ar. In this case, if Xe and Kr of optimum dose are added to Ar, the internal stress of Ta film can be eased and exfoliation of the film can be prevented. Moreover, although the resistivity of Ta film of alpha phase is 20microomegacm extent and it can be used for a gate electrode, the resistivity of Ta film of a parent phase is unsuitable for being 180microomegacm extent and considering as a gate electrode. In order to form Ta film of alpha phase, if tantalum nitride with the crystal structure near alpha phase of Ta is formed in the substrate of Ta by about 10–50nm in thickness, Ta film of alpha phase can be obtained

easily.

[0033] In addition, in the gestalt of this operation, although the electric conduction film was set to Ta, it is not limited especially but the element chosen from Ta, W, Ti, Mo, aluminum, Cu, etc. or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Lynn, may be used. The electric conduction film of a laminated structure is sufficient, and it is also good for the lower layer electric conduction film to attach a taper.

[0034] Next, etching processing for forming the mask by the resist and forming a gate electrode is performed, and the gate electrodes 111 and 112 are formed.

[0035] And an impurity range is formed in an island-like semi-conductor layer. 107 of drawing 1 (b) and 108 become the source field of the N channel mold TFT, or a drain field, and the impurity which gives N type is added. Moreover, 109 of drawing 1 (b) becomes the source field of the P channel mold TFT, or a drain field, and the impurity which gives P type is added.

[0036] Although the approach of impurity addition has the ion doping method, ion-implantation, etc., the ion doping method is used for it with the gestalt of this operation. Although phosphorus (P) and an arsenic (As) are used for the element and type target which belong to 15 groups as an impurity which gives N type, with the gestalt of this operation, P is added by the density range of $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm⁻³. As an impurity which gives P type, it adds using B by the density range of $2 \times 10^{20} - 2 \times 10^{21}$ atoms/cm⁻³ with the gestalt of this operation.

[0037] Moreover, with the gestalt of this operation, the resist pattern which prepared opening only in the field which adds an impurity as pretreatment of impurity addition is formed, and let it be the mask to prevent for an impurity to be added by the field besides assignment. In addition to a resist mask, a source field or a drain field can also be formed in self align in the case of impurity addition, using the gate electrodes 111 and 112 as a mask. The resist pattern used as a mask exfoliates after impurity addition. Although a LDD (Lightly Doped Drain) field can also be prepared between a channel formation field, a source field, or a drain field if needed, the LDD field is not prepared with the gestalt of this operation.

[0038] The process which activates the impurity element added by each island-like semi-conductor layer is performed after impurity addition. This process is performed by the heat annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) is applicable. However, when the wiring material used for the conductive layer is weak with heat, it is desirable to be activated after forming an interlayer insulation film (let silicon be a principal component), in order to protect wiring etc.

[0039] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and the process which hydrogenates an island-like semi-conductor layer is performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0040] Subsequently, as shown in drawing 1 (c), the 1st interlayer insulation film 125 which consists of an oxidation silicon nitride film is formed by the thickness of 200-500nm by the plasma-CVD method. Using SiH₄, N₂O, and NH₃ and H₂ as material gas, RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. A reduced pressure CVD method, a heat CVD method, or a spatter may be used for the membrane formation approach.

[0041] Then, the mask for forming the contact hole which takes a flow with wiring and a barrier layer is formed on the 1st interlayer insulation film, and the 1st interlayer insulation film is etched. And the electric conduction film for forming wiring is formed. The electric conduction film at this time was made into the laminated structure with Ti film continuously formed by the spatter, the TiN film, aluminum film, and W film.

[0042] Although the electric conduction film was made into the laminated structure with Ti film, the TiN film, aluminum film, and W film, it is not limited especially, but you may form with the alloy ingredient or compound ingredient which uses as a principal component the element chosen from Ta, W, Ti, aluminum, Mo, Cr, Cu, etc., or said element, and monolayer structure is also available.

[0043] Next, etching processing for forming the mask by the resist and forming wiring is performed. The wiring 119 which consists of Ti film, the TiN film, aluminum film, and W film by etching processing is formed.

[0044] And the 2nd interlayer insulation film which consists of an oxidation silicon nitride film is formed by the thickness of 400–1000nm by the plasma–CVD method. A reduced pressure CVD method, a heat CVD method, or a spatter may be used for the membrane formation approach. Using SiH₄, N₂O, and NH₃ and H₂ as material gas, RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto–bias electrical potential difference is impressed substantially. The insulating material containing silicon, such as oxidation silicon, oxidation silicon nitride, and silicon nitride, can also be used for an interlayer insulation film. Since membranes are formed so that the configuration of wiring may be met, the interlayer insulation film formed with the CVD method can do a crevice 120 and heights 122 like the 2nd interlayer insulation film front face shown in drawing 2 (a) (henceforth the shape of toothing), and a level difference produces it.

[0045] In order to carry out flattening of this level difference, polish by CMP equipment is performed. And in order to carry out CMP polish to homogeneity, as shown in drawing 2 (b), the linear opening 121 is formed in the 2nd interlayer insulation film.

[0046] Opening is formed using the mask by the resist. The width of face of opening and arrangement are designed so that the drive circuit section of the interlayer insulation film after opening was formed, and the heights 130 and 131 of the pixel section may be scattered by the almost equal dimension, the configuration, and the consistency. However, what is necessary is to add correction suitably according to the ingredient of a ground object, the purpose, and CMP equipment conditions, and just to set up, when the difference of a pattern consistency is going too far. For example, more openings than the pixel section with a low wiring consistency are formed in the drive circuit section with a high wiring consistency. Thus, by preparing opening in a part with a slow polish rate, it speeds up [polish] and the homogeneity within a field of a polish rate is raised.

[0047] Then, etching processing is performed and opening 121 is formed. The depth of this opening presupposes that it is comparable as the depth of the crevice 120 of the shape of toothing produced in the 2nd interlayer insulation film with the substrate level difference. Etching should just choose anisotropic etching and isotropic etching if needed. Furthermore, by making the 2nd interlayer insulation film into a laminated structure, in a lower layer insulator layer, although it is good also as etching stop film, this invention may not have the etching stop film.

[0048] The mask by the resist is removed and the 2nd interlayer insulation film is ground using a CMP technique. A typical polish process turns the field to grind down first, and sticks to the polish head turning around a ground object. It grinds by pushing against the rotation surface plate (it also being called a platen) turning around this ground object. Abrasive cloth (pad) is stuck on the field which touches the substrate of a rotation surface plate, and it grinds with the polish liquid (slurry) made to adhere to this pad.

[0049] Moreover, what is necessary is just to set up suitably a substrate rotational frequency, an abrasive cloth rotational frequency, and time amount with the ingredient and the amount of polishes of a ground object, since the polish pressurization which is the polish conditions of CMP processing, polish time amount, Tb/Sp (ratio of the rotational frequency of a rotation surface plate and the rotational frequency of a polish head), polish liquid, etc. change with the ingredient of the ingredient of equipment or a ground object, magnitude, and a pad, or granularity of an eye.

[0050] With the gestalt of this operation, a substrate and abrasive cloth were rotated in CMP equipment, and the pressure in the case of polish ground by having applied the 50 g/cm² – about two 500 g/cm

pressure, and ground to the field (inferior surface of tongue of a level difference) of a crevice. Although it can grind most efficiently in a short time if it is made to end in respect of the crevice of a level difference (inferior surface of tongue of a level difference), it may grind more than it and flattening of the polish at this time may be carried out. There are some which distributed the fumed silica particle which pyrolyzes for example, chlorination silicon gas and is obtained in the KOH addition water solution in the abrasive material (slurry) of CMP to an interlayer insulation film. Thus, flattening of the 2nd interlayer insulation film is carried out to homogeneity using a CMP technique. (Drawing 2 (c)) After that, it is with fluoric acid and an unnecessary abrasive material is removed.

[0051] Next, as shown in drawing 3 (a), the light-shielding film 122 which consists of a metal membrane may be formed on the interlayer insulation film by which flattening was carried out to the homogeneity of the pixel section. Here, aluminum film was formed. In order to prepare so that light may not enter into TFT, as long as a light-shielding film is an ingredient which does not penetrate light, ingredients other than aluminum are sufficient as it. Moreover, you may prepare on the interlayer insulation film of the drive circuit section.

[0052] In addition, when the parasitic capacitance between wiring and a light-shielding film poses a problem, the 3rd interlayer insulation film may be further prepared on the 2nd interlayer insulation film by which flattening was carried out to homogeneity. Furthermore, what is necessary is just to perform the same flattening as the above also to the 3rd interlayer insulation film on a light-shielding film, if it asks for flattening.

[0053] After forming a light-shielding film, the 50nm oxidation silicon nitride film 123 is formed as a protective coat. Then, opening of the contact which takes a flow with the pixel electrode 124 and the connection wiring 119 is carried out, and the pixel electrode 124 is formed. With the gestalt of this operation, the ITO film is used as a pixel electrode. Moreover, the transparence electric conduction film which mixed 2 - 20% of zinc oxide (ZnO) may be used for indium oxide or indium oxide as a pixel electrode.

[0054] In addition, as the 1st and 2nd insulator layers, the silicon oxide film, a silicon nitride film, and organic resin ingredient film (polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclobutene), etc.) can be used.

[0055] With the gestalt of this operation, in order to grind the 2nd interlayer insulation film to homogeneity, this invention was used, but in order to carry out flattening of the 1st interlayer insulation film to homogeneity, it cannot be overemphasized that this invention may be used. Moreover, although explained supposing the liquid crystal display, the adaptation range of this invention can use this invention, also when carrying out flattening of the wrap film for the level difference from which each wiring layer becomes a cause when it is not limited to this, for example, forms the multilayer interconnection of three or more layers like LSI.

[0056] The insulator layer which specific inductive capacity becomes from 2.5-3.0, and a small ingredient (henceforth a low-k ingredient) as an ingredient of the 1st and 2nd interlayer insulation films may be used. It is because reduction of parasitic capacitance can be aimed at and delay of a signal can be prevented by making the dielectric constant of an interlayer insulation film low. The insulator layer which consists of a low-k ingredient has an inorganic system and an organic system. The ingredient which added C and H on SiO₂ film and lowered the dielectric constant to it as an ingredient of an inorganic system can be used. The poly aryl ether, polyimide, etc. fluoride etc. which have a hole detailed as an ingredient of an organic system inside can be used, and especially the resin film of a fluorine system is expected as an ingredient which realizes a low dielectric constant.

[0057] A uniform and flat interlayer insulation film is realizable, holding a high numerical aperture, since the uniform interlayer insulation film which carried out flattening can be obtained without preparing dummy wiring by using the production approach of the semiconductor device of this invention.

[0058] Moreover, even if it compares this invention with the approach of forming ingredients, such as SOG (Spin On Glass: spreading silicon oxide) and BCB (benz-cyclobutene), in a crevice, and performing

etchback and forming the flattening film, it has done the outstanding effectiveness so. It has the unnecessary process which a laminated structure can be formed more thinly, and there is no problem of the refractive index by the dissimilar material with an interlayer insulation film, SOG, BCB, etc. or a dielectric constant further, and heats and hardens SOG, BCB, etc., and is because it is not necessary to consider problems, such as corrosion of wiring by the moisture to which SOG, BCB, etc. stuck.

[0059] Furthermore, this invention can obtain the insulator layer which has the homogeneity within a field by etching an insulator layer using a mask, new plant-and-equipment investment and a new ingredient purchase are unnecessary like [in the case of using SOG etc.], and there is a merit which can use conventional equipment.

[0060] (Gestalt 2 of operation) In the interlayer insulation film formed on wiring, the level difference according to the magnitude of this wiring will arise. Although the polish rate of an interlayer insulation film receives effect in the roughness and fineness of the wiring consistency leading to a level difference, effect is further received in the magnitude of wiring and a polish rate becomes it quick that the polish rate of an interlayer insulation film is slow in wiring being a large area pattern, and it is a small area pattern.

[0061] The result to which the convex type pattern leading to a level difference presupposed that he has (a)500micrometerx1100micrometer, (b)7.5micrometerx12micrometer, (c)300micrometerx650micrometer, (d)62micrometerx125micrometer, two main tracks (spacing of 100 micrometers) of (e) 100-micrometer width of face, and no 500 micrometers and (f) 200-micrometerx(g) pattern, and ground the interlayer insulation film on a pattern in the graph of drawing 8 first be shown.

[0062] From a graph, a polish rate changes with magnitude of the pattern (it is also called a level difference pattern) leading to a level difference, and (b) with the smallest configuration (area seen from the top face) of a level difference pattern has the quickest polish rate, and it turns out that (g) which does not have (a) and a level difference pattern in (d), (c) which is the almost same polish rate, (e) and (f), and a degree below has the slowest polish rate.

[0063] Depending on the size of the substrate circuit pattern with which a polish rate causes a level difference, this shows that a polish rate falls, so that the configuration of a substrate pattern becomes large. It is because the center section of heights is ground only from a top face to the periphery (edge of heights) of the heights of the interlayer insulation film according [this] to a substrate pattern being ground from a top face and a perimeter. Therefore, since the rate that a periphery occupies to the area of heights is large, the polish rate of a small independent pattern becomes quick. That is, a polish rate in case heights with small (b) extent exist judging from the result of drawing 8 becomes the quickest.

[0064] The cause of this convex level difference pattern is the wiring itself, and as long as priority is given to the degree of freedom of a circuit design, that the size of a pattern and roughness and fineness arise cannot avoid. In order to amend the ununiformity of the CMP polish rate produced in connection with this, with the gestalt of this operation, opening is formed in the part which wants to polish speed up among interlayer insulation films so that heights like the above (b) may exist in homogeneity. What is necessary is for the part which wants to make a polish rate late to reduce the number of openings, or just to make it not prepare opening on the other hand.

[0065] Since much wiring exists in the drive circuit section, it is wiring resistance reduction and thick wiring is used abundantly, a big substrate level difference crowds. Consequently, the polish rate of an interlayer insulation film becomes low in the drive circuit section compared with the pixel section. In order to avoid the thickness ununiformity of an interlayer insulation film as shown in drawing 6 , as shown in drawing 4 , by the gestalt of this operation, the dimension of opening on an interlayer insulation film and arrangement are changed in the drive circuit section and the pixel section.

[0066] As shown in drawing 4 , the 2nd interlayer insulation film which consists of an oxidation silicon nitride film like the gestalt 1 of operation is formed by the thickness of 300-1000nm. Then, the resist mask for forming the linear opening 143 in an interlayer insulation film is formed. With the gestalt of this operation, it is made larger than the width of face of opening which forms the width of face of forming

[in the interlayer insulation film of the drive circuit section] opening in the interlayer insulation film of the pixel section so that the area of the heights of the drive circuit section and the area of the heights of the pixel section may become equal. By such configuration, in the drive circuit section and the pixel section, a polish rate can be set constant, and an interlayer insulation film can be ground to homogeneity.

[0067] Generally, since the one where the configuration of opening is larger has etching gas and a large reaction area with a solution, a reaction is quick and can etch deeply. Therefore, the depth which changes an etch rate and is etched into the same time amount by changing the width of face of opening is changeable. Especially this is remarkable in dry etching.

[0068] Then, an interlayer insulation film is ground using CMP equipment. At this time, by formation of opening, the polish rate of an interlayer insulation film improves, and since it is large in the drive circuit section and small in the pixel section, it can equalize in a field, and extent of improvement can carry out flattening of the interlayer insulation film to homogeneity. By changing the configuration of opening, and the depth of opening, thickness of a result can be made regularity.

[0069] Then, the TFT panel for displays is produced like the gestalt 1 of operation. In addition, the structure explained with the gestalten 1 and 2 of this operation is one example to the last, and does not need to be limited to the structure shown in drawing 4 from drawing 1 .

[0070] It may be made smaller than opening which forms the dimension of opening in the interlayer insulation film of the pixel section in the drive circuit section, when forming opening of the shape of the shape of a circle, and a rectangle in an interlayer insulation film, and when forming opening so that it may leave dot-like heights, making [more] it than the number of forming [in the interlayer insulation film of the pixel section]—number of heights of shape of dot formed in interlayer insulation film of the drive circuit section dot-like heights etc. should just set up the configuration of opening suitably. A point important about this invention controls a polish rate by forming opening in an interlayer insulation film, it is acquiring a uniform flat side, and if it does not change even the point, it can acquire the effectiveness of this invention.

[0071] Like the gestalt of this operation, the interlayer insulation film which carried out flattening to homogeneity further can be obtained by changing the configuration of opening of an interlayer insulation film in the drive circuit section and the pixel section.

[Example] [Example 1] The top gate mold TFT produced using this invention is shown in drawing 9 .

[0072] First, the substrate insulator layer 901 is formed on a substrate 900, and after obtaining the 1st semi-conductor film which has a crystal structure, the semi-conductor layers 902–906 which carried out etching processing and were divided into the desired configuration in the shape of an island are formed.

[0073] As a substrate insulator layer 901, 50nm (preferably 10–200nm) formation of the oxidation silicon nitride film 901a (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%) produced by the plasma-CVD method from the membrane formation temperature of 400 degrees C, material gas SiH₄ and NH₃, and N₂O is carried out, using a glass substrate (#1737) as a substrate 900. Subsequently, after ozone water washes a front face, a surface oxide film is removed by rare fluoric acid (1/100 dilution). subsequently, oxidation silicon nitride film 901b (presentation ratio Si= — 32%) produced by the plasma-CVD method from the membrane formation temperature of 400 degrees C, material gas SiH₄, and N₂O Laminating formation of O= 59%, N= 7%, and the H= 2% is carried out at the thickness of 100nm (preferably 50–200nm). Without furthermore carrying out atmospheric-air release, it forms at the membrane formation temperature of 300 degrees C by the plasma-CVD method, and the amorphous silicon film (it is also called the amorphous silicon film and the amorphous silicon film) is formed by the thickness (preferably 25–80nm) of 54nm by membrane formation gas SiH₄.

[0074] Although this example showed the substrate film 901 as two-layer structure, you may form as structure which carried out the laminating the monolayer of said insulator layer, or more than two-layer. Moreover, the equipment of single wafer processing is sufficient as plasma-CVD equipment, and the

equipment of a batch type is sufficient as it. Moreover, continuation membrane formation of a substrate insulator layer and the semi-conductor film may be carried out, without touching atmospheric air at the same membrane formation room.

[0075] Subsequently, after washing the front face of the amorphous silicon film, about 2nm very thin oxide film is formed in a front face with ozone water. Subsequently, in order to control the threshold of TFT, a minute amount impurity element (boron or Lynn) is doped. Here, boron was added on the amorphous silicon film using the ion doping method which carried out plasma excitation without carrying out mass separation of the diboron hexahydride (B_2H_6) in quantity-of-gas-flow 30sccm and $2 \times 10^{12}/cm^2$ of doses which diluted doping conditions in acceleration voltage of 15kV, and diluted diboron hexahydride with hydrogen to 1%.

[0076] Subsequently, the nickel acetate salting in liquid which contains 10 ppm nickel by weight conversion is applied by the spinner. In addition, the amorphous silicon film is good to oxidize the amorphous silicon film, to form a thin oxide film (oxidation silicon film), to be smeared and to improve a sex by UV irradiation, thermal oxidation, hydrogen peroxide solution, and ozone water treatment, in order to crawl a nickel content solution. The approach of replacing with spreading and sprinkling a nickel element on the whole surface by the spatter may be used. Here, although the example applied to the whole surface was shown, a mask may be formed and a nickel content layer may be formed alternatively.

[0077] Subsequently, energy is given, in order to crystallize the amorphous silicon film and to consider as the crystalline silicon film (it is also called the polish recon film and the crystalline silicon film). Heat treatment or the exposure of strong light of an electric furnace should just be used for this energy. What is necessary is just to perform processing at 500 degrees C – 650 degrees C for 4 to 24 hours, when carrying out by heat treatment of an electric furnace. Here, after heat treatment for dehydrogenation (500 degrees C, 1 hour), heat treatment for crystallization (550 degrees C, 4 hours) is performed, and the crystalline silicon film is obtained. In addition, although it crystallized using heat treatment which used the furnace here, you may crystallize with the lamp annealer in which crystallization in a short time is possible. In addition, although the crystallization technique using nickel as a metallic element which promotes crystallization of silicon here was used, the laser crystallizing method, other well-known crystallization techniques, for example, solid phase grown method, mentioned above may be used.

[0078] Subsequently, after removing the oxide film of a crystalline silicon film front face by rare fluoric acid etc., the rate of crystallization is raised further and laser light (XeCl: wavelength of 308nm) for repairing the defect left behind in crystal grain is irradiated in atmospheric air or an oxygen ambient atmosphere. Excimer laser light with a wavelength of 400nm or less, the 2nd higher harmonic of YVO4 laser, and the 3rd higher harmonic are used for laser light. Anyway, what is necessary is to condense the laser light concerned to 100 – 500 mJ/cm² in optical system, to irradiate with 90 – 95% of rate of overlap using pulse laser light with a repeat frequency of about 10–1000Hz, and just to make a silicon film front face scan. Here, laser light is irradiated in an atmospheric-air ambient atmosphere by the repeat frequency of 30Hz, and energy density 393 mJ/cm². In addition, in order to carry out in an atmospheric-air ambient atmosphere or an oxygen ambient atmosphere, an oxide film is formed in a front face of the exposure of laser light.

[0079] Moreover, after removing the oxide film formed of the exposure of laser light by rare fluoric acid, 2nd laser light may be irradiated in nitrogen-gas-atmosphere mind or a vacuum, and flattening of the semi-conductor film front face may be carried out. In that case, excimer laser light with a wavelength of 400nm or less, the 2nd higher harmonic of an YAG laser, and the 3rd higher harmonic are used for this laser light (2nd laser light). the 2nd laser luminous energy consistency — the 1st laser luminous energy consistency — large — carrying out — desirable — 30 – 60 mJ/cm² — it enlarges.

[0080] Thus, the metallic element (here nickel) remains on the crystalline silicon film obtained. it is uniformly distributed in the film — **** — carry out — it remains by average concentration, then the concentration exceeding $1 \times 10^{19}/cm^3$. Of course, although it is possible to begin TFT and to form various semiconductor devices also in such the condition, the element concerned is removed by the

approach shown henceforth.

[0081] Gettering is performed in order to remove the added nickel element. The amorphous silicon film containing the argon element which serves as a gettering site by the plasma-CVD method is formed by 5nm of thickness. The membrane formation conditions by the plasma-CVD method of this example make substrate temperature 300 degrees C, set the pressure in a chamber to 26.66Pa (0.2Torr), and they perform the discharge frequency of 27.12MHz, and discharge of injection RF power 300W (RF power density 0.5 W/cm²) from an RF generator while flow rate 100sccm and argon gas are introduced by flow rate 500sccm and they introduce nitrogen gas for SiH₄ gas by 200sccm(s) from a gas feed system in a chamber, respectively. In addition, three to 1x10²¹/cm³ of 1x10²⁰-/cm and the atomic concentration of nitrogen of the atomic concentration of the argon element contained in the 1st amorphous silicon film in the above-mentioned conditions are three to 1x10²¹/cm³ of 1x10²⁰-/cm. Moreover, argon plasma treatment may be performed before membrane formation of the amorphous silicon film containing an argon element, and improvement in adhesion may be aimed at. Then, gettering of 650 degrees C and the heat treatment for 3 minutes is performed and carried out using a lamp annealer.

[0082] Thus, after forming a thin oxide film in the front face of the obtained crystalline silicon film with ozone water, the mask which consists of a resist is formed and the crystalline silicon film (only henceforth a semi-conductor layer) which carried out etching processing and was divided into the desired configuration in the shape of an island is formed. After forming a semi-conductor layer, the mask which consists of a resist is removed.

[0083] Subsequently, after washing the front face of the silicon film at the same time it removes an oxide film by the etchant containing fluoric acid, the insulator layer which uses the silicon used as gate dielectric film 907 as a principal component is formed. At this example, it forms by the thickness of 115nm by the plasma-CVD method an oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%).

[0084] Subsequently, as shown in drawing 9 (a), laminating formation of 1st [of 20–100nm of thickness] electric conduction film 908a and the electric conduction film 908of ** 2nd of 100–400nm of thickness b is carried out on gate dielectric film 907. In this example, the laminating of the tantalum nitride film of 50nm of thickness and the tungsten film of 370nm of thickness is carried out one by one on gate dielectric film 907.

[0085] The element chosen from Ta, W, Ti, Mo, aluminum, and Cu as a conductive ingredient which forms the 1st electric conduction film and the 2nd electric conduction film, or said element is formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, it is good also as a three-tiered structure which was not limited to two-layer structure, for example, carried out the laminating of the tungsten film of 50nm of thickness, the alloy (aluminum–Si) film of aluminum of 500nm of thickness, and silicon, and the titanium nitride film of 30nm of thickness one by one. Moreover, when considering as a three-tiered structure, a nitriding tungsten may be used and it replaces with the alloy (aluminum–Si) film of the aluminum of the 2nd electric conduction film, and silicon, and the alloy film (aluminum–Ti) of aluminum and titanium may be used, it may replace [it may replace with the tungsten of the 1st electric conduction film, and] with the titanium nitride film of the 3rd electric conduction film, and the titanium film may be used. Moreover, you may be monolayer structure.

[0086] Next, 1st etching processing for forming the masks 910–915 which consist of a resist according to an exposure process, as shown in drawing 9 (b), and forming a gate electrode and wiring is performed. The 1st etching processing performs on the 1st and 2nd etching conditions. It is good for etching to use the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method. The film can be etched into a desired taper configuration using the ICP etching method by adjusting suitably etching conditions (the electric energy impressed to the electrode of a coil mold, electric energy impressed to the electrode by the side of a substrate, electrode temperature by the side of a substrate, etc.). In addition, the fluorine system gas which makes representation the chlorine-based gas which makes representation Cl₂, BCl₃, SiCl₄, CCl₄, etc., CF₄, SF₆, NF₃, etc. as gas for etching, or O₂ can be used

suitably.

[0087] In this example, RF (13.56MHz) power of 150W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. In addition, the electrode surface product size by the side of a substrate is 12.5cmx12.5cm, and the electrode surface product size (quartz disk with which the coil was prepared here) of a coil mold is a disk with a diameter of 25cm. W film is etched according to this 1st etching condition, and the edge of the 1st conductive layer is made into a taper configuration. Etch rates [as opposed to 200.39 nm/min and TaN in the etch rate to W in the 1st etching condition] are 80.32 nm/min, and the selection ratio of W to TaN is about 2.5. Moreover, the taper angle of W becomes about 26 degrees according to this 1st etching condition. Then, it changed into the 2nd etching condition, without removing the masks 910-915 which consist of a resist, CF₄ and Cl₂ were used for the gas for etching, each gas stream quantitative ratio was made into 30/30 (sccm), RF (13.56MHz) power of 500W was supplied to the electrode of a coil mold by the pressure of 1Pa, the plasma was generated, and etching for about 30 seconds was performed. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. On the 2nd etching condition which mixed CF₄ and Cl₂, W film and the TaN film are etched to the same extent. Etch rates [as opposed to 58.97 nm/min and TaN in the etch rate to W in the 2nd etching condition] are 66.43 nm/min. In addition, in order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 - 20% of a rate.

[0088] In etching processing of the above 1st, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration according to the effectiveness of the bias voltage impressed to a substrate side by having been suitable in the configuration of the mask which consists of a resist. What is necessary is just to make the include angle of this taper section into 15-45 degrees.

[0089] In this way, the conductive layers 917-921 (the 1st conductive layers 917a-921a and 2nd conductive layer 917b-921b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. About 10-20nm of insulator layers 907 used as gate dielectric film is etched, and they turn into the gate dielectric film 916 with which the field which is not covered by the conductive layers 917-921 of the 1st configuration became thin.

[0090] Subsequently, 2nd etching processing is performed, without removing the mask which consists of a resist. Here, it etched for 25 seconds by using SF₆, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 24/12/24 (sccm), supplying RF (13.56MHz) power of 700W to the electrode of a coil mold by the pressure of 1.3Pa, and generating the plasma. RF (13.56MHz) power of 10W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. the selection ratio of W [as opposed to / etch rates / as opposed to 227.3 nm/min and TaN in the etch rate to W in the 2nd etching processing / are 32.1 nm/min, and / TaN] — 7.1 — it is — insulator layer it is — the etch rates to SiON are 33.7 nm/min, and the selection ratio of W to SiON is 6.83. Thus, when SF₆ is used for the gas for etching gas, since the selection ratio with an insulator layer 916 is high, film decrease can be suppressed. In this example, only about 8nm of film decreases does not occur in an insulator layer 916.

[0091] The taper angle of W became 70 degrees by this 2nd etching processing. The 2nd conductive layer 924b-929b is formed by this 2nd etching processing. On the other hand, most of the 1st conductive layer is not etched, but it turns into the 1st conductive layer 924a-929a. In addition, the 1st conductive layer 924a-929a is the same size mostly with the 1st conductive layer 917a-922a. In fact, although about 0.6 micrometers of width of face of the 1st conductive layer may retreat by about 0.3 micrometers in the whole, i.e., line breadth, compared with 2nd etching processing before, there is almost no change in size.

[0092] It replaces with two-layer structure. Moreover, tungsten film of 50nm of thickness, alloy (aluminum-Si) film of aluminum of 500nm of thickness, and silicon, When it considers as the three-tiered structure which carried out the laminating of the titanium nitride film of 30nm of thickness one by one,

as 1st etching condition for the 1st etching processing Use BCl₃, and Cl₂ and O₂ for material gas, and each gas stream quantitative ratio is set to 65/10/5 (sccm). RF (13.56MHz) power of 300W is supplied to a substrate side (sample stage). That what is necessary is to supply RF (13.56MHz) power of 450W to the electrode of a coil mold by the pressure of 1.2Pa, to generate the plasma, and just to perform etching for 117 seconds As 2nd etching condition for the 1st etching processing Each gas stream quantitative ratio is set to 25/25/10 (sccm) using CF₄, and Cl₂ and O₂. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage). That what is necessary is to supply RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, to generate the plasma, and just to perform etching for about 30 seconds Each gas stream quantitative ratio is made into 20/60 (sccm), using BCl₃ and Cl₂ as the 2nd etching processing. What is necessary is just to etch by supplying RF (13.56MHz) power of 100W to a substrate side (sample stage), supplying RF (13.56MHz) power of 600W to the electrode of a coil mold by the pressure of 1.2Pa, and generating the plasma.

[0093] Subsequently, after removing the mask which consists of a resist, 1st doping processing is performed and the condition of drawing 9 (d) is acquired. What is necessary is just to perform doping processing with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose 1.5×10^{14} atoms/cm², and perform acceleration voltage as 60–100keV. As an impurity element which gives n mold, Lynn (P) or arsenic (As) is used typically. In this case, it becomes a mask to the impurity element with which the 1st conductive layer and 2nd conductive layer 924–928 give n mold, and the 1st impurity range 930–934 is formed in self align. In the 1st impurity range 930–934, the impurity element which gives n mold by the density range of 1×10^{16} to 1×10^{17} –/cm³ is added. Here, it is n about the field of the same density range as the 1st impurity range. — It is also called a field.

[0094] In addition, although 1st doping processing was performed in this example after removing the mask which consists of a resist, 1st doping processing may be performed, without removing the mask which consists of a resist.

[0095] Subsequently, the masks 935–937 which consist of a resist as shown in drawing 10 (a) are formed, and 2nd doping processing is performed. A mask 935 is the mask which protects the channel formation field of the semi-conductor layer which forms the p-channel mold TFT of a drive circuit, and the field of the circumference of it, a mask 936 is the mask which protects the channel formation field of the semi-conductor layer which forms one of the n-channel molds TFT of a drive circuit, and the field of the circumference of it, and a mask 937 is the mask which protects the field used as the channel formation field of the semi-conductor layer which forms TFT of the pixel section and the field of the circumference of it, and retention volume.

[0096] The conditions of the ion doping method in the 2nd doping processing make a dose 1.5×10^{15} atoms/cm², and dope Lynn (P) by setting acceleration voltage to 60–100keV. Here, an impurity range is formed in each semi-conductor layer in self align by using the 2nd conductive layer 924a–929a as a mask. Of course, it is not added by the field covered with masks 935–937. In this way, the 2nd impurity range 938–940 and the 3rd impurity range 942 are formed. The impurity element which gives n mold by the density range of 1×10^{20} to 1×10^{21} –/cm³ is added by the 2nd impurity range 938–940. Here, the field of the same density range as the 2nd impurity range is also called n⁺ field.

[0097] Moreover, the 3rd impurity range will be formed in low concentration rather than the 2nd impurity range of the 1st conductive layer, and the impurity element which gives n mold by the density range of 1×10^{18} to 1×10^{19} –/cm³ will be added. In addition, the 3rd impurity range has the concentration gradient which high impurity concentration increases toward the edge of the taper section in order to dope by passing the part of the 1st conductive layer which is a taper configuration. Here, the field of the same density range as the 3rd impurity range is also called n-field. Moreover, an impurity element is not added by the 2nd doping processing, but the field covered with masks 936 and 937 turns into the 1st impurity range 944 and 945.

[0098] Subsequently, after removing the masks 935–937 which consist of a resist, as the masks 946–948 which newly consist of a resist are formed and it is shown in drawing 10 (B), 3rd doping processing

is performed.

[0099] In a drive circuit, the 4th impurity ranges 949 and 950 and 5th impurity range 951 and 952 where the impurity element which gives the conductivity type of p mold to the semi-conductor layer which forms the semi-conductor layer and retention volume which form the p channel mold TFT by doping processing of the above 3rd was added are formed.

[0100] Moreover, the impurity element which gives p mold by the density range of 1×10^{20} to 1×10^{21} /cm³ is added by the 4th impurity range 949 and 950. in addition — the 4th impurity range 949 and 950 — a previous process — Lynn — the concentration of the impurity element which gives p mold although it is the field (n — field) where (P) was added — the — it is added 1.5 to 3 times and the conductivity type is p mold. Here, the field of the same density range as the 4th impurity range is also called p+ field.

[0101] Moreover, the 5th impurity range 951 and 952 is formed in the field which laps with the taper section of 2nd conductive layer 925a, and the impurity element which gives p mold by the density range of 1×10^{19} to 1×10^{20} /cm³ is added. Here, the field of the same density range as the 5th impurity range is also called p-field.

[0102] The impurity range which has the conductivity type of n mold or p mold in each semi-conductor layer at the process to the above is formed. Conductive layers 924–927 serve as a gate electrode of TFT. Moreover, in the pixel section, while forms retention volume and a conductive layer 928 serves as an electrode. Furthermore, a conductive layer 929 forms source wiring in the pixel section.

[0103] Subsequently, a wrap insulator layer (not shown) is mostly formed for the whole surface. In this example, the silicon oxide film of 50nm of thickness was formed by the plasma-CVD method. Of course, this insulator layer is not limited to the silicon oxide film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0104] Subsequently, the process which carries out activation of the impurity element added by each semi-conductor layer is performed. This activation process is performed by the approach combined with either among heat treatments using the approach of irradiating the rapid thermal annealing method (RTA law) for having used the source of a lamp light, an YAG laser, or an excimer laser from a rear face, or a furnace, or these approaches. In addition, any of the laser mentioned above are sufficient as laser.

[0105] Moreover, although this example showed the example which formed the insulator layer before the above-mentioned activation, after performing the above-mentioned activation, it is good also as a process which forms an insulator layer.

[0106] Subsequently, the 1st interlayer insulation film 953 which consists of an oxidation silicon nitride film is formed by the thickness of 200nm by the plasma-CVD method. Using SiH₄, N₂O, and NH₃ and H₂ as material gas, RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. Then, it heat-treats (it is heat treatment of 1 – 12 hours at 300–550 degrees C), and the process which hydrogenates a semi-conductor layer is performed. (Drawing 10 (C)) This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen contained in the 1st interlayer insulation film 953. However, in this example, since the ingredient which uses aluminum as a principal component as the 2nd conductive layer is used, it is important to consider as the heat treatment conditions which the 2nd conductive layer can bear in the process to hydrogenate. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed. Furthermore, the 2nd interlayer insulation film 954 which consists of organic insulating material ingredients, such as an acrylic, and SOG (Spin on Glass; spreading silicon oxide film), BCB (benz-cyclo-butene), may be formed on the 1st interlayer insulation film 953. In this example, the SOG film of 1.6 micrometers of thickness is formed.

[0107] And the contact hole which reaches source wiring 929, the contact hole which reaches conductive layers 927 and 928, and the contact hole which arrives at each impurity range are formed. In this example, two or more etching processings are performed one by one. In this example, after etching

the 2nd interlayer insulation film by using the 1st interlayer insulation film as an etching stopper, and etching the 1st interlayer insulation film by using an insulator layer (not shown) as an etching stopper, the insulator layer (not shown) was etched.

[0108] Then, wiring and a pixel electrode are formed using aluminum, Ti, Mo, W, etc. As for the ingredient of these electrodes and a pixel electrode, it is desirable to use the ingredient which was excellent in reflexivity, such as film which uses aluminum or Ag as a principal component, or these cascade screens. In this way, a source electrode or the drain electrodes 955–960, the gate wiring 962, and the connection wiring 961 are formed.

[0109] And the 3rd interlayer insulation film which consists of an oxidation silicon nitride film is formed by the thickness of 800nm by the plasma-CVD method. Using SiH₄, N₂O, and NH₃ and H₂ as material gas, RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. The shape of toothing arises like the 3rd interlayer insulation film front face shown in drawing 11 (a).

[0110] CMP polish is performed in order to carry out flattening of the shape of this toothing. And linear opening is formed in the 3rd interlayer insulation film so that CMP polish may be carried out to homogeneity.

[0111] Then, the mask by the resist is formed on the 2nd interlayer insulation film. Although what is necessary is just to set up suitably spacing of linear opening which a mask adjoins according to the ingredient of a ground object, the purpose, and CMP equipment conditions, as it forms more linear openings than the pixel section with a low wiring consistency, it should just form a mask in the drive circuit section with a high wiring consistency. Then, etching processing is performed and linear opening is formed.

[0112] A mask is removed and the 3rd interlayer insulation film is ground with a CMP technique. What is necessary is just to set up suitably the polish pressurization which is the polish conditions of CMP equipment, polish time amount, Tb/Sp, etc. in things according to the purpose with the ingredient of equipment or a ground object, magnitude, and CMP equipment. The conditions of the CMP equipment in this example are set to polish pressurization 600 gf/cm², polish time amount 120sec, and Tb/Sp=40/40. What distributed the fumed silica particle which pyrolyzes for example, chlorination silicon gas and is obtained in the KOH addition water solution is used for the slurry of CMP. Thus, flattening of the 2nd interlayer insulation film can be carried out to homogeneity by polish of CMP equipment.

[0113] The pixel section 907 which has the drive circuit 906 which has the n channel mold TFT901, the p channel mold TFT902, and the n channel mold TFT903 as mentioned above, and the pixel TFT904 which consists of an n channel mold TFT and retention volume 905 can be formed on the same substrate. (Drawing 11 (b)) In this specification, such a substrate is called a active-matrix substrate for convenience.

[0114] What is necessary is to form a shift register circuit, a buffer circuit, a level-shifter circuit, a latch circuit, etc., combining these TFT(s) 901–903 suitably, and just to form the drive circuit 906. For example, what is necessary is to connect complementary and just to form the n channel mold TFT901 and the p channel mold TFT902, in forming a CMOS circuit.

[0115] Especially, the structure of the n channel mold TFT903 is suitable for the buffer circuit where driver voltage is high from the purpose which prevents degradation by the hot carrier effect.

[0116] Moreover, the structure of the n channel mold TFT901 which is GOLD structure is suitable for the circuit where dependability is considered as top priority.

[0117] A uniform and flat interlayer insulation film is realizable, holding a high numerical aperture, since the interlayer insulation film which carried out flattening to homogeneity can be obtained without preparing dummy wiring by using the production approach of the semiconductor device of this invention.

[0118] [Example 2] Also in the reverse stagger mold TFT, since the drive circuit section differs in a wiring consistency from the pixel section, a flat interlayer insulation film can be formed by this invention. This example explains the pixel configuration which used the reverse stagger mold TFT.

[0119] The sectional view of the pixel of this example is shown in drawing 12. It is the pixel 1208 and TFT 1209 of TFT 1203–1206 for a drive of the drive circuit section 1201, and the pixel section 1202.

[0120] drawing 12 (a) — the 1st interlayer insulation film 1220 top — source wiring, drain wiring, and connection wiring — forming — source wiring, drain wiring, and the connection wiring 1222 — covering — a 1st interlayer insulation film top — Plasma CDV — it is drawing in the condition of having formed the 2nd interlayer insulation film 1223 by law.

[0121] Then, polish by CMP equipment is performed and the 2nd flat interlayer insulation film is obtained to homogeneity. And as shown in drawing 12 (b), the pixel electrode 1224 is formed on the 2nd interlayer insulation film 1223. In addition, the pixel electrode 1224 is connected through the contact hole formed in the 2nd interlayer insulation film 1223.

[0122] A uniform and flat interlayer insulation film is realizable, holding a high numerical aperture, since the interlayer insulation film which carried out flattening to homogeneity can be obtained without preparing dummy wiring also in the reverse stagger mold TFT by using the production approach of the semiconductor device of this invention like this example.

[0123] [Example 3] This example explains below the process which produces an active matrix liquid crystal display from the active-matrix substrate produced in the example 1. Drawing 13 is used for explanation.

[0124] First, after obtaining the active-matrix substrate of the condition of drawing 11 according to an example 1, the orientation film is formed on the active-matrix substrate of drawing 11, and rubbing processing is performed. In addition, in this example, before forming the orientation film, the spacer of the shape of a column for holding substrate spacing was formed in the desired location by carrying out patterning of the organic resin film, such as acrylic resin film. Moreover, it may replace with a column-like spacer and a spherical spacer may be sprinkled all over a substrate.

[0125] Subsequently, an opposite substrate is prepared. The color filter with which the coloring layer and the protection-from-light layer have been arranged corresponding to each pixel is prepared in this opposite substrate. Moreover, the protection-from-light layer was prepared also in the part of a drive circuit. The wrap flattening film was prepared for this color filter and a protection-from-light layer. Subsequently, on the flattening film, the counterelectrode which consists of transparence electric conduction film was formed in the pixel section, the orientation film was formed all over the opposite substrate, and rubbing processing was performed.

[0126] And the pixel section, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealant. The filler is mixed in the sealant and two substrates are stuck on it with uniform spacing by this filler and pillar-shaped spacer. Then, a liquid crystal ingredient is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for a liquid crystal ingredient. Thus, an active matrix liquid crystal display is completed. And if there is need, a active-matrix substrate or an opposite substrate will be divided in a desired configuration. Furthermore, optical films, such as a polarizing plate and a phase contrast plate, were suitably prepared using the well-known technique. And FPC was stuck using the well-known technique.

[0127] In this way, the configuration of the obtained liquid crystal module is explained using the plan of drawing 13.

[0128] The pixel section 1304 is arranged in the center of the active-matrix substrate 1301. The source signal-line drive circuit 1302 for driving a source signal line is arranged at the pixel section 1304 bottom. The gate signal line drive circuit 1303 for driving a gate signal line is arranged at right and left of the pixel section 1304. In the example shown in this example, although considered as bilateral symmetry arrangement to the pixel section, arrangement of only one side is sufficient as this, and, as for the gate signal line drive circuit 1303, a designer should just choose it suitably in consideration of the substrate size of a liquid crystal module etc. However, considering operational reliability, drive effectiveness, etc. of a circuit, the bilateral symmetry arrangement shown in drawing 13 is desirable.

[0129] The input of the signal to each drive circuit is performed from a flexible printed circuit board (Flexible Print Circuit:FPC) 1305. FPC1305 is stuck by pressure through the anisotropy electric conduction film etc., after carrying out opening of the contact hole to an interlayer insulation film and the resin film and forming the connection electrode 1309 so that wiring arranged to the predetermined location of a substrate 1301 may be reached. In this example, the connection electrode was formed using ITO.

[0130] A sealing compound 1307 is applied along with a substrate periphery, and where a fixed gap (spacing of a substrate 1301 and the opposite substrate 1306) is maintained with the spacer beforehand formed on the active-matrix substrate, the opposite substrate 306 is stuck around the drive circuit section and the pixel section. Then, a liquid crystal device is poured in from the part to which the sealing compound 1307 is not applied, and it is sealed with encapsulant 1308. A liquid crystal module is completed according to the above process.

[0131] Moreover, some ICs may be used for a part of drive circuit although the example which formed all the drive circuits on the substrate here was shown. This example can be freely combined with an example 1 and an example 2.

[0132] An active matrix liquid crystal display is producible from the active-matrix substrate which has the film by which flattening was carried out to homogeneity like this example.

[0133] [Example 4] It cannot be overemphasized that it can use also for the luminescence display which this invention solves the ununiformity of the flattening film by the wiring consistency of a multilayer interconnection, and was equipped with the organic light emitting device (OLED:Organic Light Emitting Device). This example shows the example equipped with the organic light emitting device which carries out luminescence display production to drawing 14.

[0134] OLED has the layer (it is hereafter described as an organic luminous layer) containing the organic compound (organic luminescent material) with which the luminescence (Electroluminescence) generated by adding electric field is obtained, an anode plate, and cathode. Although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, one of luminescence of the luminescence mentioned above may be used for the luminescence equipment of this invention, or both luminescence may be used for it.

[0135] In addition, on these specifications, all the layers formed between the anode plate of OLED and cathode are defined as an organic luminous layer. A luminous layer, a hole-injection layer, an electron injection layer, an electron hole transportation layer, an electronic transportation layer, etc. are concretely contained in an organic luminous layer. OLED has fundamentally the structure where the laminating of an anode plate / luminous layer / the cathode was carried out to order, and, in addition to this structure, it may have the structure which carried out the laminating to order, such as an anode plate / hole-injection layer / luminous layer / cathode, and an anode plate / hole-injection layer / luminous layer / electronic transportation layer / cathode.

[0136] The so-called plan of the module with which drawing 14 (A) has OLED, and EL module, and drawing 14 (B) are the sectional views which cut drawing 14 (A) by A-A'. The pixel section 1402, the source side drive circuit 1401, and the gate side drive circuit 1403 are formed in the substrates 1400 (for example, a glass substrate, a crystallization glass substrate, or a plastic plate etc.) which have an insulating front face. These pixel sections and drive circuits can be obtained if the above-mentioned example is followed.

[0137] Moreover, 1418 is a sealant, 1419 is a protective coat, and the DLC film is used. The pixel section and the drive circuit section are covered by the sealant 1418, and the sealant is covered by the protective coat 919. Furthermore, the closure is carried out by the covering material 1420 using the binder. As covering material 1420, the base material of what kind of presentation is sufficient as plastics, glass, a metal, the ceramics, etc. Moreover, you may be what the configuration of the covering material 1420 and especially the configuration of a base material are not limited, either, but has a flat surface,

the thing which has a curved surface, the thing which has flexibility, and a film-like thing. In order to be equal to deformation by heat, external force, etc., as for the covering material 1420, it is desirable to use the thing of the same quality of the material as a substrate 1400, for example, a glass substrate, and it processes the crevice configuration (a depth of 3–10 micrometers) shown in drawing 14 by the sandblasting method etc. in this example. It is desirable to form the crevice (a depth of 50–200 micrometers) in which it is furthermore processed and a drying agent 1421 can be installed. Moreover, when manufacturing EL module by multiple picking, after sticking a substrate and covering material, you may divide so that an end face may be in agreement using a CO₂ laser etc.

[0138] Moreover, although not illustrated here, in order to prevent a background being reflected with reflection of the metal layers (here cathode etc.) to be used, the circular polarization of light means called the circular polarization of light plate which consists of a phase contrast plate ($\lambda/4$ plate) or a polarizing plate may be established on a substrate 1400.

[0139] In addition, 1408 is wiring for transmitting the signal inputted into the source side drive circuit 1401 and the gate side drive circuit 1403, and receives a video signal and a clock signal from FPC (flexible print circuit) 1409 used as an external input terminal. Moreover, the luminescence equipment of this example may be a digital drive, and you may be an analog drive, and a video signal may be a digital signal and may be an analog signal. In addition, although only FPC is illustrated here, the printed-circuit base (PWB) may be attached in this FPC. Not only the body of luminescence equipment but the condition that FPC or PWB was attached in it shall be included in the luminescence equipment in this specification. Moreover, although it is also possible to form complicated integrated circuits (memory, CPU, a controller, D/A converter, etc.) on the same substrate as these pixel sections and drive circuits, production with the small number of masks is difficult. Therefore, it is desirable to mount IC chip equipped with memory, CPU, the controller, the D/A converter, etc. by the COG (chip on glass) method, the TAB (tape automated bonding) method, or the wirebonding approach.

[0140] Next, cross-section structure is explained using drawing 14 (B). An insulator layer 1410 is formed on a substrate 1400, the pixel section 902 and the gate side drive circuit 903 are formed above the insulator layer 1410, and the pixel section 1402 is formed of two or more pixels containing the pixel electrode 1412 electrically connected to TFT1411 for current control, and its drain. Although two or more TFT(s) were made in one pixel in fact, only TFT1411 for current control was illustrated here for simplification. Moreover, the gate side drive circuit 1403 is formed using the CMOS circuit which combined the n channel mold TFT1413 and the p channel mold TFT1414.

[0141] What is necessary is just to produce these TFT(s) (for 1411, 1413, and 1414 to be included) according to the n channel mold TFT of the above-mentioned example 1, and the p channel mold TFT of the above-mentioned example 1. In addition, although the example which used the top gate mold TFT here was shown, it is also possible to use the bottom gate mold TFT which is not limited to the structure of TFT but is in an example 2.

[0142] An insulator layer is prepared on these connection wiring of TFT. In this invention, organic resin film, such as polyimide besides the insulating material containing silicon, such as oxidation silicon, oxidation silicon nitride, and silicon nitride, a polyamide, an acrylic (a photosensitive acrylic is included), and BCB (benz-cyclo-butene), can also be used as an insulating material used as an ingredient of an insulator layer. Moreover, the layer shown by AlN_xO_y may be used as other ingredients of an insulator layer. the nitriding oxide layer (layer show by AlN_xO_y) containing the aluminum form and obtain under the ambient atmosphere which mixed argon gas, nitrogen gas, and oxygen gas using an aluminum nitride (AlN) target, use a spatter — nitrogen — 2.5atm(s)% – 47.5atm % — it be the include film, and thermal conductivity have the heat dissipation effectiveness highly, and, in addition to the effectiveness which can block moisture and oxygen, have the description that translucency be still very higher. In addition, impurities, such as alkali metal and alkaline earth metal, can prevent entering into the barrier layer of TFT.

[0143] Then, opening is formed in an insulator layer, and flattening is ground and carried out to

homogeneity. By this, thickness of an organic compound layer can be made into homogeneity, organic compound **** can be carried out, and electric field can be added to homogeneity. In addition, since the problem that a component life falls since not only the brightness of a light emitting device falls, but the current density in an organic compound layer will also become uneven and degradation of a component is rash in it arises when electric field join an ununiformity, the processing by the CMP method has the effectiveness for improving a component property also in the field of adding uniform electric field to an organic compound layer. Moreover, an insulator layer etches and functions as bank 1415.

[0144] Moreover, a pixel electrode is used as cathode, the laminating of the anode plate is carried out to EL layer, and drawing 14 is good also as a configuration which emits light to hard flow. The example is shown in drawing 15 . In addition, since it is the same, a plan is omitted.

[0145] The cross-section structure shown in drawing 15 is explained below. As a substrate 1500, a semi-conductor substrate or a metal substrate can also be used besides a glass substrate or a quartz substrate. An insulator layer 1510 is formed on a substrate 1500, the pixel section 1502 and the gate side drive circuit 1503 are formed above the insulator layer 1510, and the pixel section 1502 is formed of two or more pixels containing the pixel electrode 1512 electrically connected to TFT1511 for current control, and its drain. Moreover, the gate side drive circuit 1503 is formed using the CMOS circuit which combined the n channel mold TFT1513 and the p channel mold TFT1514.

[0146] The pixel electrode 1512 functions as cathode of OLED. Moreover, bank 1515 is formed in the both ends of the pixel electrode 1512, and the EL layer 1516 and the anode plate 1517 of OLED are formed on the pixel electrode 1512.

[0147] An anode plate 1517 functions also as wiring common to all pixels, and is electrically connected to FPC1509 via the connection wiring 1508. Furthermore, all the components contained in the pixel section 1502 and the gate side drive circuit 1503 are covered by the anode plate 1517, the sealant 1518, and the protective coat 1519. Moreover, the covering material 1520 and a substrate 1500 were stuck with adhesives. Moreover, a crevice is established in covering material and a drying agent 1521 is installed.

[0148] In addition, it is desirable to use transparence or a translucent ingredient to the light as a sealant 1518 as much as possible. Moreover, as for a sealant 1518, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as much as possible.

[0149] Moreover, in drawing 15 , since the pixel electrode was used as cathode and the laminating of the anode plate was carried out to EL layer, the luminescence direction is the direction of the arrow head shown in drawing 15 .

[0150] Moreover, although not illustrated here, in order to prevent a background being reflected with reflection of the metal layers (pixel electrode which turns into cathode here) to be used, the circular polarization of light means called the circular polarization of light plate which consists of a phase contrast plate ($\lambda/4$ plate) or a polarizing plate may be established on the covering material 1520.

[0151] Although the drive approach of the luminescence display equipped with the above-mentioned organic light emitting device has a constant current drive and a constant voltage drive, this example may be with which.

[0152] In addition, this example can be freely combined with an example 1 and an example 2.

[Example 5] This invention can be used as a display of all the electronic instruments that include a display display as components also including an above-mentioned EL display.

[0153] As such an electronic instrument, the picture reproducer (equipment equipped with the display which specifically reproduces record media, such as a compact disk (CD), a laser disc (trademark) (LD), or a digital videodisc (DVD), and can display the image) equipped with an EL display, a video camera, a digital camera, head installation mold displays (head mount display etc.), car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), and a record medium etc. is mentioned. The example of these electronic instruments is shown in drawing 18 .

[0154] Drawing 18 (A) is a display and contains a case 2001, susceptor 2002, a display 2003, the

loudspeaker section 2004, and video input terminal 2005 grade. The luminescence equipment produced by this invention can be used for a display 2003. Since it is a spontaneous light type, the luminescence equipment which has a light emitting device has an unnecessary back light, and it can be made into a display thinner than a liquid crystal display. In addition, as for a display, all the displays for information displays the object for personal computers, the object for TV broadcast reception, for an advertising display, etc. are contained.

[0155] Drawing 18 (B) is a digital still camera, and contains a body 2101, a display 2102, the television section 2103, the actuation key 2104, the external connection port 2105, and shutter 2106 grade. The luminescence equipment produced by this invention can be used for a display 2102.

[0156] Drawing 18 (C) is a note type personal computer, and contains a body 2201, a case 2202, a display 2203, a keyboard 2204, the external connection port 2205, and pointing mouse 2206 grade. The luminescence equipment produced by this invention can be used for a display 2203.

[0157] Drawing 18 (D) is a mobile computer and contains a body 2301, a display 2302, a switch 2303, the actuation key 2304, and infrared port 2305 grade. The luminescence equipment produced by this invention can be used for a display 2302.

[0158] Drawing 18 (E) is the picture reproducer (specifically DVD regenerative apparatus) of the pocket mold equipped with the record medium, and contains a body 2401, a case 2402, a display A2403, a display B2404, the record-media (DVD etc.) reading section 2405, the actuation key 2406, and loudspeaker section 2407 grade. the luminescence equipment produced by this invention although the display A2403 mainly displayed image information and the display B2404 mainly displayed text — these displays A and B — it can use for 2403 and 2404. In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0159] Drawing 18 (F) is a goggles mold display (head mount display), and contains a body 2501, a display 2502, and the arm section 2503. The luminescence equipment produced by this invention can be used for a display 2502.

[0160] Drawing 18 (G) is a video camera and contains a body 2601, a display 2602, a case 2603, the external connection port 2604, the remote control receive section 2605, the television section 2606, a dc-battery 2607, the voice input section 2608, and actuation key 2609 grade. The luminescence equipment produced by this invention can be used for a display 2602.

[0161] Drawing 18 (H) is a cellular phone and contains a body 2701, a case 2702, a display 2703, the voice input section 2704, the voice output section 2705, the actuation key 2706, the external connection port 2707, and antenna 2708 grade here. The luminescence equipment produced by this invention can be used for a display 2703. In addition, a display 2703 can stop the power consumption of a cellular phone by displaying a white alphabetic character on a black background.

[0162] In addition, if the luminescence brightness of an organic material will become high in the future, expansion projection of the light containing the outputted image information will be carried out with a lens etc., and it will also become possible to use for the projector of a front mold or a rear mold.

[0163] Moreover, the above-mentioned electric appliance displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. Since the speed of response of an organic material is very high, luminescence equipment is desirable to a movie display.

[0164] Moreover, in order that the part which is emitting light may consume power, as for luminescence equipment, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using luminescence equipment for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by part for a light-emitting part by making a part for a non-light-emitting part into a background.

[0165] As mentioned above, the applicability of the luminescence equipment produced using the production approach of this invention is very wide, and using for the electric appliance of all fields is

possible. Moreover, the electric appliance of this example can use for the display the luminescence equipment produced by carrying out this invention.

[Effect of the Invention]

[0166] By using the production approach of the semiconductor device of this invention, the film front face which carried out flattening to homogeneity can be obtained, and the semiconductor device independent of the consistency of the pattern leading to a substrate level difference and a dimension can be offered.

[0167]

[Translation done.]

*** NOTICES ***

JP0 and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor device of this invention.

[Drawing 2] The sectional view of the semiconductor device of this invention.

[Drawing 3] The sectional view of the semiconductor device of this invention.

[Drawing 4] The sectional view of the semiconductor device of this invention.

[Drawing 5] The sectional view of the conventional semiconductor device.

[Drawing 6] Drawing measured about the conventional rate of polish.

[Drawing 7] Drawing explaining the configuration of this invention.

[Drawing 8] Drawing measured about the polish effectiveness of this invention.

[Drawing 9] Drawing explaining the production process of the semiconductor device of this invention.

[Drawing 10] Drawing explaining the production process of the semiconductor device of this invention.

[Drawing 11] Drawing explaining the production process of the semiconductor device of this invention.

[Drawing 12] Drawing explaining the structure of the reverse stagger mold TFT.

[Drawing 13] The plan of the semiconductor device of this invention.

[Drawing 14] The sectional view of the luminescence equipment of this invention.

[Drawing 15] The sectional view of the luminescence equipment of this invention.

[Drawing 16] Drawing explaining the configuration of this invention.

[Drawing 17] Drawing explaining the configuration of this invention.

[Drawing 18] Drawing showing an example of an electric appliance.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-163194

(P2003-163194A)

(43) 公開日 平成15年6月6日 (2003. 6. 6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 N 2 H 0 9 2
			6 2 2 X 3 C 0 5 8
B 2 4 B 37/00		B 2 4 B 37/00	Z 5 F 0 3 3
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 1 1 0
H 0 1 L 21/3205		H 0 1 L 23/12	5 0 1 P
審査請求 未請求 請求項の数19 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願2001-363190 (P2001-363190)

(22) 出願日 平成13年11月28日 (2001. 11. 28)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 石川 明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 江口 晋吾

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 浜本 百合子

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

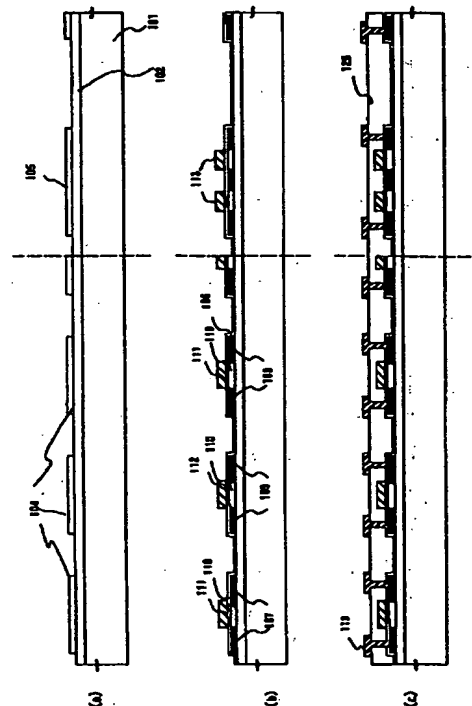
最終頁に続く

(54) 【発明の名称】 研磨方法及び半導体装置の作製方法

(57) 【要約】

【課題】 積層構造を有する膜の凹凸段差を研磨することにより平坦化するとき、凹凸段差の原因となるパターンの疎密による研磨速度の不均一性を低減する技術を提供することを課題とする。

【解決手段】 平坦化するために研磨されるパターン密度の高い膜の表面に開口部を積極的に設けることにより、研磨速度の不均一性を低減し、パターン密度、寸法に依存しない面内均一性の高い平坦化膜を形成する。このように形成される均一な平坦化膜をもちいることで、集積度が高い半導体装置を得ることができる。



(2)

【特許請求の範囲】

【請求項1】 積層構造の膜の段差を研磨する方法において、前記膜に開口部を形成し、前記開口部が形成された膜を前記膜の段差の低い面まで研磨することを特徴とする研磨方法。

【請求項2】 積層構造の膜の段差を研磨する方法において、前記膜の段差の高い面のみに開口部を形成し、前記開口部が形成された膜を前記膜の段差の低い面まで研磨することを特徴とする研磨方法。

【請求項3】 下地段差を覆う膜を形成し、前記膜表面に開口部を形成し、前記開口部が形成された膜を研磨することを特徴とする研磨方法。

【請求項4】 下地段差を覆う膜を形成し、前記膜表面に開口部を形成し、前記開口部が形成された膜を研磨する方法であって、前記膜の表面は凸部と凹部とを有し、前記凸部の面積が等しくなるように開口部を形成することを特徴とする研磨方法。

【請求項5】 下地段差を覆う膜を形成し、前記膜表面に開口部を形成し、前記開口部が形成された膜を研磨する方法であって、前記膜の表面は凸部と凹部とを有し、前記開口部は前記膜の凸部のみに形成することを特徴とする研磨方法。

【請求項6】 下地段差を覆う膜を形成し、前記膜表面に開口部を形成し、前記開口部が形成された膜を研磨する方法であって、前記膜の表面は凸部と凹部とを有し、前記開口部は前記膜の凸部に形成し、前記膜の凹部に形成せず、前記開口部が形成された膜を前記凹部の厚さまで研磨することを特徴とする研磨方法。

【請求項7】 請求項3乃至6のいずれか一において、前記下地段差は配線であることを特徴とする研磨方法。

【請求項8】 請求項1乃至7のいずれか一において、CMP法、機械研磨法又はELID法により前記膜を研磨することを特徴とする研磨方法。

【請求項9】 請求項1乃至8のいずれか一において、前記膜はプラズマCVD法、減圧CVD法、熱CVD法またはスパッタ法により形成されることを特徴とする研磨方法。

【請求項10】 請求項1乃至9のいずれか一において、エッチング法により前記開口部を形成することを特徴とする研磨方法。

【請求項11】 請求項1乃至10のいずれか一において、前記膜を貫通しないように前記開口部を形成することを特徴とする研磨方法。

【請求項12】 請求項1乃至11のいずれか一において、前記複数の開口部の形状は、線状、円状、格子状または矩形状であることを特徴とする研磨方法。

【請求項13】 請求項1乃至12のいずれか一において、前記開口部の面積が等しくなるように開口部を形成することを特徴とする研磨方法。

【請求項14】 請求項1乃至13のいずれか一におい

て、前記膜は酸化珪素、酸化窒化珪素または窒化珪素からなることを特徴とする研磨方法。

【請求項15】 絶縁表面上に半導体膜を形成し、前記半導体膜上に絶縁膜を形成し、前記絶縁膜表面に開口部を形成し、前記開口部が形成された絶縁膜を研磨する薄膜トランジスタの作製方法であって、前記薄膜トランジスタは駆動回路部と画素部とを有し、前記絶縁膜において、前記駆動回路部上の開口部の数は前記画素部上の開口部の数より多いことを特徴とする薄膜トランジスタの作製方法。

【請求項16】 絶縁表面上に形成された半導体膜と、前記半導体膜中に形成されたソース領域及びドレイン領域と、前記半導体膜上に形成された第1の絶縁膜と、前記第1の絶縁膜に形成されたコンタクトを介して前記ソース領域及びドレイン領域とに接続された配線と、前記配線上に形成された第2の絶縁膜とを有する半導体装置の作製方法において、前記第1及び第2の絶縁膜の表面に開口部を形成し、前記開口部が形成された絶縁膜を研磨することを特徴とする薄膜トランジスタの作製方法。

【請求項17】 請求項11または12において、前記複数の開口部の形状は、線状、円状、格子状または矩形状であることを特徴とする薄膜トランジスタの作製方法。

【請求項18】 請求項11乃至13のいずれか一において、前記絶縁膜は酸化珪素、酸化窒化珪素及び窒化珪素のいずれかからなることを特徴とする薄膜トランジスタの作製方法。

【請求項19】 請求項11乃至14のいずれか一において、前記前記駆動回路部における絶縁膜の開口部の直径は、前記画素部における絶縁膜の開口部直径より小さいことを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の作製方法、例えば液晶表示装置やEL表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の作製方法に関する。特に、多層配線構造を有する半導体装置における素子及び配線上の絶縁膜を平坦化する技術に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、電気光学装置、半導体集積回路および電子機器も半導体装置である。

【0002】

【従来の技術】半導体装置において、集積度を高めるために微細化や多層配線技術は必須となっているが、配線抵抗の増大を抑制することを考えると、配線の幅を縮小する場合であっても、配線の厚さを減らすことはできないので、配線上に形成された絶縁膜に生じる下地段差が微細化を進める程大きくなる。このような絶縁膜の平坦性の悪化は、絶縁膜にスルーホールを開口した後の配線

(3)

3

を形成する際の加工を困難にする。具体的には、フォトリソグラフィ工程において、段差の上下に一樣に焦点を合わせることが困難となる。また、エッチング工程において、スルーホール開口時にエッチングすべき膜厚が局所的に異なるため、確実な開口が困難となり、配線エッチング時に段差にエッチング残りを生じやすくなる等がある。

【0003】そこで、上記問題を解決するために従来にあっては、研磨剤、研磨パッドを用いて化学的及び機械的に絶縁膜の表面を研磨するCMP (Chemical Mechanical Polishing) 技術が用いられている。CMP技術以外に、機械研磨、ELID等が挙げられ、優れた平坦性を有する膜を得るのに適している。

【0004】例えば、多層配線の層間絶縁膜の平坦化にCMP技術を用いる場合、トランジスタ等の素子と配線を形成した後、CVD法により配線などを覆う絶縁膜を形成する。このとき、CVD法で形成された絶縁膜は、配線の形状に沿うように成膜されるので、その表面に配線パターンの寸法、密度を反映した凹凸が生じる。このような凹凸が前述したような加工上の問題を引き起こすので、絶縁膜の表面をCMP装置で研磨し平坦化する。

【0005】しかし、従来の研磨方法では、研磨する膜の凹凸形状により研磨速度が変化してしまい、下地の配線パターンの寸法や密度に依存して局所的に研磨速度が異なる。このため、段差を完全には解消できず、絶縁膜の残膜厚が基板面内で不均一になる等の問題が生じてしまう。

【0006】このような平坦化能力が不十分なプロセスのために、絶縁膜にスルーホールを形成して絶縁膜上に配線を形成するに際し、前述したような加工上の問題が解消できない結果となる。

【0007】従来の絶縁膜表面の研磨による平坦化方法は、配線密度の高い部分（例えば、液晶表示装置用TFTパネルにおける駆動回路部）では絶縁膜の研磨速度が遅くなって、配線密度の低い部分（液晶表示装置用TFTパネルにおける画素部）では絶縁膜の研磨速度が速くなってしまいうように、配線密度の疎密に影響されて研磨速度が基板面内で不均一になってしまう。

【0008】そのため、全体で見ると絶縁膜の膜厚差が生じてしまい、配線密度の低い部分（画素部）にはへこみができてしまう。図6のグラフは、図17にあるような駆動回路部と画素部とを有する基板上に形成された絶縁膜をCMP装置で研磨した後、配線パターン上で絶縁膜の膜厚を測定したものである。

【0009】図6から明らかに、駆動回路部と画素部との研磨状態が異なることがわかる。また、基板の面内のうねり、装置の特性に依存して、下地段差が等しいパターン同士を比較しても、基板面内で研磨速度が不均一になる場合もある。

【0010】この問題を改善するために、図5に示すよ

4

うに半導体基板の配線密度の低い部分にダミー配線150を配置し、配線密度を均一にした後、絶縁膜を研磨する方法がある。

【0011】しかしこのような方法は、ダミー配線を配置する領域に制約されて、配線配置の自由度がなくなるだけでなく、ダミー配線に起因する寄生容量や配線容量が増加する難点がある。また、透過型液晶表示装置の場合、図17に示すように、配線密度の高い部分はソース側駆動回路1701及びゲイト側駆動回路1702と、画素部1703とを電気的に接続する配線1705が多数設けられた領域からなる駆動回路部1706であり、配線密度の低い部分は画素部1703となるため、ダミー配線を設ける位置は画素部となり、開口率が低下するという問題がある。

【発明が解決しようとする課題】

【0012】本発明は上記の問題点を解決せんとするものであり、研磨による平坦化に際して、下地段差の原因となるパターンの密度、寸法に依存しない半導体装置の作製方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、絶縁膜の平坦化に際して、絶縁膜に生じる凹凸の原因となる下地段差の寸法や密度に依存する絶縁膜の膜厚差を抑制する方法を提供する。

【0014】まず、研磨を行う代表的な装置であるCMP装置について説明する。図16に示すように、円状の回転定盤1621上には研磨布（パッドともいう）1622が貼られている。研磨布1622に用いられる材質としては、発泡ウレタン等を用いる。また、回転定盤1621は、その中心を回転軸1625として回転する。

【0015】被研磨物1627は、研磨する面を回転定盤1621に向けて、円状の金属製の研磨ヘッド1626に真空吸着される。被研磨物1627と研磨ヘッド1626との間には、ウェハ吸着パッド1628が設けられている。ウェハ吸着パッド1628と研磨ヘッド1626とには空孔があり、空孔を通して、ガラス基板1627が研磨ヘッド1626に吸着する。研磨ヘッド1626の中心は、回転定盤1621の中心と回転定盤1621の円周との間に位置する。

【0016】研磨時に、回転定盤1621の中心に配管1623を通してスラリー1624が供給され、回転定盤1621の回転及び揺動により、回転定盤1621上の研磨布1622の全面にスラリー1624が広がる。スラリー1624は、粒子と液体及び化学薬品が混合されたコロイド溶液である。スラリー1624としては、KOH等からなりpH9～11のシリカ系スラリーや、pH=3～4のアルミナ（ Al_2O_3 ）系スラリー、または酸化マンガン（ MnO_2 、 Mn_2O_3 ）系のスラリーを用いることができる。アルミナ系のスラリーは、酸化力のある薬剤を混入することにより用いることができる。

(4)

5

その他、中性スラリー等を用いることも可能である。なお、ここでいう中性スラリーとは、シリカと水により形成されるものも含めるものとする。また、必要に応じて界面活性剤を加えることもできる。

【0017】圧力を研磨ヘッド1626に印加して、被研磨物1627を回転定盤1621上の研磨布1622に押しつける。研磨ヘッド1626の圧力を変えると、研磨される膜の研磨速度を調節することができる。

【0018】なお、ここで説明したCMP技術に用いるスラリーや装置等に関しては好ましい一例にすぎず、その他の公知のものを用いることができ、また処理条件等の方法に関しても公知の方法を用いることができる。

【0019】本発明は段差の原因となる下地パターンの寸法、形状、密度等に依存して不均一となる絶縁膜の研磨速度を均一にすることを目的として、研磨する絶縁膜に開口部を形成することを特徴としている。そのため、絶縁膜の研磨方法として記載したCMP技術以外に、機械研磨、ELID等の手段を採用しても、本発明の適応により均一な平坦性を有する絶縁膜を得ることができる。

【0020】また、本明細書では多層配線構造を有する半導体装置の層間絶縁膜で説明するが、このような層間絶縁膜でなくとも下地段差の原因となるパターンの寸法、配置の密度に影響されることなく均一に平坦化する膜であれば、絶縁膜でなくとも本発明の効果をすることができるのは言うまでもない。

【0021】例えば導電膜、半導体膜、絶縁膜などからなるパターン層が、層間膜の段差の原因となる場合を考えると、段差の原因となるパターンは、Siウエハー上に形成するLSIに特有なものは、素子分離膜(LOCOS)、TFTパネルに特有なものは、下部遮光膜、活性層、両者に共通なものとして、ゲイト配線、素子同士を接続する配線、配線同士を接続する配線である。また、複数の層で形成される素子などが層間膜の段差の原因となる場合素子性能への影響を考えると、容量素子やトランジスタは構造が完成するまで平坦化することができず、これらの大きな段差の原因となる。このような下地段差上の膜を平坦化するのに本発明は有効である。

【0022】本明細書でいう開口部は溝、凹部、穴、孔を含み、その上面形状は図7に示すような線状、格子状、円状の周期構造の他に、独立した凸部のみを残す様なパターンが考えられる。開口部の寸法、配置、個数等(例えば、線状開口部における開口部の幅、ピッチ等)は、被研磨物の材料、研磨の目的、CMP装置の特性、研磨条件等に応じ、適宜設定する。開口部の深さは、開口部を設ける絶縁膜を貫通せず、段差の原因となる配線に達しない深さが望ましいが、開口部を設ける絶縁膜を貫通しても構わない。開口部を設ける絶縁膜を貫通する深さに設定する場合は、段差の原因となる配線を研磨材と反応しない材料で構成する、または開口部を設ける絶

6

縁膜との段差の原因となる配線の間に研磨剤と反応しない層間絶縁膜を形成しておけばよい。

【0023】

【発明の実施の形態】(実施の形態1)本発明の一実施形態について図1から図3を用いて説明する。本実施の形態の特徴は、研磨の前処理として、下地段差を覆う層間絶縁膜に開口部を形成することである。開口部は通常用いられるパターンングとエッチングとで形成することができる。また、その形状は特に限定されず、線状、格子状、円状、矩形状その他の形状のいずれでも構わない。本実施の形態では線状の開口部を形成する。

【0024】図1は断面図を示す。図1において、101は絶縁表面を有する基板である。例えばガラス、石英、ステンレス、金属、セラミックスまたはシリコンからなる基板表面に酸化シリコン膜を設けたものを用いることができる。まず、基板101上に酸化シリコン膜102でなる下地膜を厚さ10~200nmに形成する。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。成膜方法はプラズマCVD法、熱CVD法またはスパッタ法を用いれば良い。

【0025】次に、下地膜102上に厚さ25~80nmの半導体膜をプラズマCVD法、熱CVD法またはスパッタ法により形成する。その後、半導体膜をシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いて結晶質半導体膜を形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いたが、他の公知の結晶化技術、例えば固相成長法やレーザー結晶化法を用いてもよい。

【0026】上記レーザー結晶化法の場合、レーザーは、連続発振またはパルス発振の気体レーザーもしくは固体レーザーを用いる。気体レーザーとして、エキシマレーザー、Arレーザー、Krレーザーなどがあり、固体レーザーとして、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザーなどが挙げられる。

【0027】固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザーが適用される。当該レーザーの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0028】また、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー

(5)

7

(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用する。

【0029】出力10Wの連続発振のYVO₄レーザから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0030】その後、結晶質半導体膜をパターニングし、薄膜トランジスタの島状半導体層(薄膜トランジスタの活性層ともいう)104、105を形成する。なお、結晶質半導体膜を形成した後、RTAを行って結晶性を高めても良い。また、島状半導体層104、105を形成した後に行っても構わない。RTA工程は公知の技術を用いれば良いので説明は省略する。

【0031】次いで、島状半導体層104、105を覆うゲイト絶縁膜106を形成する。ゲイト絶縁膜106はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。勿論、ゲイト絶縁膜はこのような絶縁膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)、電力密度0.5~0.8W/cm²で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲイト絶縁膜として良好な特性を得ることが出来る。

【0032】そして、ゲイト絶縁膜106上にゲイト電極を形成するための導電膜を厚さ100~400nmに形成する。本実施の形態では、Taからなる導電膜をスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20μΩcm程度でありゲイト電極に使用することが出来るが、β相のTa膜の抵抗率は180μΩcm程度でありゲイト電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを厚さ10~50nm程度でTaの下地に形成しておくα相のTa膜を容易に得ることが出来る。

【0033】なお、本実施の形態では、導電膜をTaとしたが、特に限定されず、Ta、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成

8

分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。積層構造の導電膜でもよく、下層の導電膜にテーパーを付けてもよい。

【0034】次に、レジストによるマスクを形成し、ゲイト電極を形成するためのエッチング処理を行い、ゲイト電極111、112を形成する。

【0035】そして、島状半導体層に不純物領域を形成する。図1(b)の107、108は、Nチャネル型TFTのソース領域またはドレイン領域となり、N型を付与する不純物が添加される。また、図1(b)の109はPチャネル型TFTのソース領域またはドレイン領域となり、P型を付与する不純物が添加される。

【0036】不純物添加の方法は、イオンドーブ法、イオン注入法などがあるが、本実施の形態ではイオンドーブ法を用いる。N型を付与する不純物として15族に属する元素、典型的には磷(P)、ヒ素(As)が用いられるが、本実施の形態ではPを $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲で添加する。P型を付与する不純物として、本実施の形態ではBを用い、 $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³の濃度範囲で添加する。

【0037】また、本実施の形態では、不純物添加の前処理として、不純物を添加する領域のみに開口部を設けたレジストパターンを形成し、指定外の領域に不純物が添加されることを防ぐマスクとする。不純物添加の際、レジストマスクに加えてゲイト電極111、112をマスクとして用い、自己整合的にソース領域又はドレイン領域を形成することもできる。マスクとして使用するレジストパターンは不純物添加後に剥離する。必要に応じて、チャネル形成領域とソース領域又はドレイン領域との間にLDD(Lightly Doped Drain)領域を設けることもできるが、本実施の形態ではLDD領域を設けていない。

【0038】不純物添加後、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。ただし、導電層に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0039】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用い

9

る)を行っても良い。

【0040】次いで、図1(c)に示すように、酸化窒化シリコン膜からなる第1の層間絶縁膜125をプラズマCVD法により200~500nmの厚さで形成する。原料ガスとしてSiH₄、N₂O、NH₃及びH₂を用い、基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。成膜方法は、減圧CVD法、熱CVD法またはスパッタ法を用いても良い。

【0041】その後、配線と活性層との導通をとるコンタクトホールを形成するためのマスクを第1の層間絶縁膜上に形成し、第1の層間絶縁膜をエッチングする。そして、配線を形成するための導電膜を形成する。このときの導電膜は、スパッタ法で連続して形成したTi膜、TiN膜、Al膜及びW膜との積層構造とした。

【0042】導電膜をTi膜、TiN膜、Al膜及びW膜との積層構造としたが、特に限定されず、Ta、W、Ti、Al、Mo、Cr、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよいし、単層構造でも構わない。

【0043】次に、レジストによるマスクを形成し、配線を形成するためのエッチング処理を行う。エッチング処理によりTi膜、TiN膜、Al膜及びW膜から成る配線119を形成する。

【0044】そして、酸化窒化シリコン膜からなる第2の層間絶縁膜をプラズマCVD法により400~1000nmの厚さで形成する。成膜方法は、減圧CVD法、熱CVD法またはスパッタ法を用いても良い。原料ガスとしてSiH₄、N₂O、NH₃及びH₂を用い、基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。層間絶縁膜は、酸化珪素、酸化窒化珪素、窒化珪素などの珪素を含む絶縁材料を用いることもできる。CVD法で形成された層間絶縁膜は、配線の形状に沿うように成膜されるため、図2(a)に示す第2の層間絶縁膜表面のように凹部120と凸部122ができ(以下、凹凸形状という)、段差が生じる。

【0045】この段差を平坦化するため、CMP装置による研磨を行う。そして、均一にCMP研磨を行うため、図2(b)にあるように第2の層間絶縁膜に線状の開口部121を形成する。

【0046】開口部はレジストによるマスクを用いて形成する。開口部の幅及び配置は、開口部が形成された後の層間絶縁膜の駆動回路部と画素部の凸部130、131がほぼ等しい寸法、形状及び密度で散在するように設計する。但しパターン密度の差が極端な場合は、被研磨物の材料や目的、CMP装置条件に応じて適宜修正を加えて設定すればよい。例えば、配線密度が高い駆動回路部には配線密度が低い画素部より多く開口部を形成する。このように研磨速度の遅い部分に開口部を設けるこ

(6)

10

とにより、研磨速度を速め研磨速度の面内均一性を向上させる。

【0047】その後、エッチング処理を行い開口部121が形成される。この開口部の深さは、下地段差により第2の層間絶縁膜に生じた凹凸形状の凹部120の深さと同程度とする。エッチングは必要に応じて、異方性エッチング、等方性エッチングを選択すればよい。更に、第2の層間絶縁膜を積層構造として、下層の絶縁膜をエッチングストップ膜としてもよいが、本発明はエッチングストップ膜がなくてもよい。

【0048】レジストによるマスクを除去し、CMP技術を利用して第2の層間絶縁膜を研磨する。代表的な研磨プロセスは、まず、研磨する面を下にして、被研磨物を回転する研磨ヘッドに吸着する。この被研磨物を回転する回転定盤(プラテンともいう)に押しつけることにより研磨を行う。回転定盤の基板に接する面には、研磨布(パッド)が貼りつけられており、このパッドに付着させた研磨液(スラリー)によって研磨する。

【0049】また、CMP処理の研磨条件である、研磨加圧、研磨時間、Tb/Sp(回転定盤の回転数と研磨ヘッドの回転数の比)、研磨液等は、装置や被研磨物の材料、大きさ、パッドの材料や目の粗さにより異なるため、被研磨物の材料や研磨量によって、基板回転数、研磨布回転数および時間は適宜設定すればよい。

【0050】本実施の形態では、CMP装置において基板と研磨布とを回転させ、研磨の際の圧力は50g/cm²~500g/cm²程度の圧力を加え研磨を行い、凹部の面(段差の下面)まで研磨を行った。この時の研磨は段差の凹部の面(段差の下面)で終了させると最も効率よく短時間で研磨できるが、それ以上研磨して平坦化しても構わない。層間絶縁膜に対するCMPの研磨剤(スラリー)には、例えば、塩化シリコンガスを熱分解して得られるフェュードシリカ粒子をKOH添加水溶液に分散したものなどがある。このようにCMP技術を利用して、第2の層間絶縁膜を均一に平坦化する。(図2(c))その後、フッ酸をもちいて不要な研磨剤を取り除く。

【0051】次に、図3(a)にあるように、画素部の均一に平坦化された層間絶縁膜上に金属膜からなる遮光膜122を設けてもよい。ここでは、Al膜を形成した。遮光膜はTFEに光が入り込まないように設けるため、光を透過しない材料であればAl以外の材料でも構わない。また、駆動回路部の層間絶縁膜上に設けても構わない。

【0052】なお、配線と遮光膜との間の寄生容量が問題となる場合は、均一に平坦化された第2の層間絶縁膜上に、更に第3の層間絶縁膜を設けてもよい。更に、平坦化を求めるなら、遮光膜上の第3の層間絶縁膜に対しても、上記と同様の平坦化を行えばよい。

【0053】遮光膜を形成したのち、保護膜として50

(7)

11

nmの酸化窒化シリコン膜123を形成する。その後、画素電極124と接続配線119との導通をとるコンタクトを開口し画素電極124を形成する。本実施の形態では、画素電極としてITO膜を使用する。また、画素電極として、酸化インジウムや酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。

【0054】なお、第1及び第2の絶縁膜としては、酸化シリコン膜や窒化シリコン膜や有機樹脂材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等)膜を用いることができる。

【0055】本実施の形態では、第2の層間絶縁膜を均一に研磨するために本発明を用いたが、第1の層間絶縁膜を均一に平坦化するために本発明を用いてもよいことは言うまでもない。また、液晶表示装置を想定して説明したが、本発明の適応範囲はこれに限定されず、例えばLSIのように三層以上の多層配線を形成する場合、各配線層が原因となる段差を覆う膜を平坦化する場合にも本発明を用いることはできる。

【0056】第1及び第2の層間絶縁膜の材料として比誘電率が2.5~3.0と小さい材料(以下、low-k材料という)からなる絶縁膜を用いてもよい。層間絶縁膜の誘電率を低くすることで、寄生容量の低減を図り、信号の遅延を防止することができるからである。low-k材料からなる絶縁膜は無機系、有機系がある。無機系の材料としてはSiO₂膜にC、Hを添加して誘電率を下げた材料を用いることができる。有機系の材料としては微細な空孔を内部に有するポリアリアルエーテル、フッ化ポリイミド等を用いることができ、特にフッ素系の樹脂膜は低誘電率を実現する材料として期待されている。

【0057】本発明の半導体装置の作製方法を用いることにより、ダミー配線を設けることなく、均一な平坦化した層間絶縁膜を得ることができるため、高い開口率を保持しつつ、均一で平坦な層間絶縁膜を実現することができる。

【0058】また、本発明はSOG(Spin On Glass: 塗布シリコン酸化膜)やBCB(ベンゾシクロブテン)等の材料を凹部に形成し、エッチバックを行って平坦化膜を形成する方法と比べても、優れた効果を奏している。それは、積層構造をより薄く形成でき、更に層間絶縁膜とSOG、BCB等との異種材料による屈折率や誘電率の問題がなく、SOG、BCB等を加熱して固める工程が不要であり、SOG、BCB等が吸着した水分等による配線の腐蝕等の問題を考える必要がないためである。

【0059】更に、本発明はマスクを用いて絶縁膜をエッチングすることで、面内均一性を有する絶縁膜を得ることができ、SOG等を使用する場合のように新たな設備投資や新たな材料購入は不要であり、従来の装置を使

12

えるメリットがある。

【0060】(実施の形態2)配線上に形成される層間絶縁膜にはこの配線の大きさに応じた段差が生じてしまう。層間絶縁膜の研磨速度は、段差の原因となる配線密度の疎密に影響を受けるが、更に配線の大きさに影響を受け、配線が大面積パターンであると層間絶縁膜の研磨速度が遅く、小面積パターンであると研磨速度は速くなる。

【0061】まず図8のグラフに、段差の原因となる凸型パターンが(a)500μm×1100μm、(b)7.5μm×12μm、(c)300μm×650μm、(d)62μm×125μm、(e)100μm幅の2本線(間隔100μm)、(f)200μm×500μm、(g)パターンなし、としてパターン上の層間絶縁膜を研磨した結果を示す。

【0062】グラフから、段差の原因となるパターン(段差パターンともいう)の大きさにより研磨速度が異なり、段差パターンの形状(上面から見た面積)が最も小さい(b)が最も研磨速度が速く、以下(d)、ほぼ同じ研磨速度である(c)、(e)及び(f)、次に(a)、段差パターンのない(g)が最も研磨速度が遅いことがわかる。

【0063】このことから、研磨速度は段差の原因となる下地配線パターンのサイズに依存し、下地パターンの形状が大きくなるほど研磨速度が低下することがわかる。これは、下地パターンによる層間絶縁膜の凸部の周辺部(凸部の縁)は上面と周囲とから研磨されるのに対し、凸部の中央部は上面のみから研磨されることによる。従って、凸部の面積に対して周辺部の占める割合が大きいため小さな独立パターンの研磨速度は速くなる。つまり、図8の結果のみから判断すると(b)程度の小さな凸部が存在する場合の研磨速度が最も速くなる。

【0064】この凸状の段差パターンの原因とは、配線そのものであって、回路設計の自由度を優先する限りパターンの大小、疎密が生じるのは避け得ない。これに伴って生じるCMP研磨速度の不均一を補正するために、本実施の形態では層間絶縁膜のうち研磨速度を速めたい部分に、上記(b)のような凸部が均一に存在するように開口部を形成する。一方、研磨速度を遅くしたい部分は、開口部の数を減らす、または開口部を設けないようにすればよい。

【0065】駆動回路部には多数配線が存在し、配線抵抗低減のため太い配線が多用されるので、大きな下地段差が密集する。この結果、層間絶縁膜の研磨速度は画素部に比べ駆動回路部で低くなる。図6に示されるような層間絶縁膜の膜厚不均一を回避するため、本実施の形態では図4に示すように層間絶縁膜上の開口部の寸法や配置を、駆動回路部と画素部とで異ならせる。

【0066】図4に示すように、実施の形態1と同様に酸化窒化シリコン膜からなる第2の層間絶縁膜を300

(8)

13

～1000nmの厚さで形成する。その後、層間絶縁膜に線状の開口部143を形成するためのレジストマスクを形成する。本実施の形態では、駆動回路部の凸部の面積と画素部の凸部の面積とが等しくなるように、駆動回路部の層間絶縁膜に形成する開口部の幅を画素部の層間絶縁膜に形成する開口部の幅よりも大きくする。このような構成により、駆動回路部と画素部とにおいて研磨速度を一定とすることができ、層間絶縁膜を均一に研磨することができる。

【0067】一般的には開口部の形状が大きい方がエッチングガス、溶液との反応面積が大きいので、反応が速く、深くエッチングすることができる。そのため、開口部の幅を変えることで、エッチング速度を変え同一時間にエッチングされる深さを変えることができる。このことは、特にドライエッチングに顕著である。

【0068】その後、CMP装置を用いて層間絶縁膜を研磨する。このとき、開口部の形成により、層間絶縁膜の研磨速度は向上し、向上の程度は駆動回路部で大きく、画素部で小さいので面内で均一化し、層間絶縁膜を均一に平坦化することができる。開口部の形状や開口部の深さを変えることで、仕上りの膜厚を一定にすることができる。

【0069】その後、実施の形態1と同様にして表示装置用TFTパネルを作製する。なお、本実施の形態1、2で説明した構造はあくまで一実施例であり、図1から図4に示した構造に限定される必要はない。

【0070】層間絶縁膜に円状又は矩形状の開口部を形成する場合、開口部の寸法を駆動回路部では画素部の層間絶縁膜に形成する開口部よりも小さくしてもよいし、ドット状の凸部を残すように開口部を形成する場合、駆動回路部の層間絶縁膜に形成するドット状の凸部の数を画素部の層間絶縁膜に形成するドット状の凸部の数より多くするなど、開口部の形状は適宜設定すればよい。本発明で重要な点は層間絶縁膜に開口部を形成することで研磨速度を制御し、均一な平坦面を得ることであり、その点さえ違えなければ本発明の効果を得ることができる。

【0071】本実施の形態のように、駆動回路部と画素部において、層間絶縁膜の開口部の形状をかえることにより、更に均一に平坦化した層間絶縁膜を得ることができる。

【実施例】【実施例1】本発明を用いて作製されるトップゲイト型TFTを図9に示す。

【0072】まず、基板900上に下地絶縁膜901を形成し、結晶構造を有する第1の半導体膜を得た後、所望の形状にエッチング処理して島状に分離された半導体層902～906を形成する。

【0073】基板900としては、ガラス基板（#1737）を用い、下地絶縁膜901としては、プラズマCVD法で成膜温度400℃、原料ガスSiH₄、NH₃、

14

N₂Oから作製される酸化窒化シリコン膜901a（組成比Si=32%、O=27%、N=24%、H=17%）を50nm（好ましくは10～200nm）形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸（1/100希釈）で除去する。次いでプラズマCVD法で成膜温度400℃、原料ガスSiH₄、N₂Oから作製される酸化窒化シリコン膜901b（組成比Si=32%、O=59%、N=7%、H=2%）を100nm（好ましくは50～200nm）の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度300℃、成膜ガスSiH₄で非晶質珪素膜（アモルファスシリコン膜、非晶質シリコン膜ともいう）を54nmの厚さ（好ましくは25～80nm）で形成する。

【0074】本実施例では下地膜901を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。また、プラズマCVD装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。また、同一の成膜室で大気に触れることなく下地絶縁膜と半導体膜とを連続成膜してもよい。

【0075】次いで、非晶質珪素膜の表面を洗浄した後、オゾン水で表面に約2nmの極薄い酸化膜を形成する。次いで、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行う。ここでは、ジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法を用い、ドーピング条件を加速電圧15kV、ジボランを水素で1%に希釈したガス流量30sccm、ドーズ量2×10¹²/cm²で非晶質珪素膜にボロンを添加した。

【0076】次いで、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布する。なお、非晶質珪素膜はニッケル含有溶液をはじいてしまうため、UV照射、熱酸化、過酸化水素水、オゾン水処理により、非晶質珪素膜を酸化して、薄い酸化膜（酸化珪素膜）を形成し、塗れ性を改善するとよい。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。ここでは、全面に塗布する例を示したが、マスクを形成して選択的にニッケル含有層を形成してもよい。

【0077】次いで、非晶質珪素膜を結晶化させて結晶性珪素膜（ポリシリコン膜、結晶性シリコン膜ともいう）とするため、エネルギーを与える。このエネルギーは、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500℃～650℃で4～24時間処理を行えばよい。ここでは脱水素化のための熱処理（500℃、1時間）の後、結晶化のための熱処理（550℃、4時間）を行って結晶性珪素膜を得る。なお、ここでは炉を用いた熱処理を用いて結晶化を行ったが、短時間での結晶化が可能なランプアニール装置で結晶化を行ってもよい。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶

(9)

15

化技術を用いたが、他の公知の結晶化技術、例えば固相成長法や上述したレーザー結晶化法を用いてもよい。

【0078】次いで、結晶性珪素膜表面の酸化膜を希フッ酸等で除去した後、更に結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザー光(XeCl₂; 波長308nm)の照射を大気中、または酸素雰囲気中で行う。レーザー光には波長400nm以下のエキシマレーザー光や、YVO₄レーザーの第2高調波、第3高調波を用いる。いずれにしても、繰り返し周波数10~1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100~500mJ/cm²に集光し、90~95%のオーバーラップ率をもって照射し、珪素膜表面を走査させればよい。ここでは、繰り返し周波数30Hz、エネルギー密度393mJ/cm²でレーザー光の照射を大気雰囲気中で行う。なお、大気雰囲気中、または酸素雰囲気中で行うため、レーザー光の照射により表面に酸化膜が形成される。

【0079】また、レーザー光の照射により形成された酸化膜を希フッ酸で除去した後、第2のレーザー光の照射を窒素雰囲気、或いは真空中で行い、半導体膜表面を平坦化してもよい。その場合、このレーザー光(第2のレーザー光)には波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。第2のレーザー光のエネルギー密度は、第1のレーザー光のエネルギー密度より大きくし、好ましくは30~60mJ/cm²大きくする。

【0080】このようにして得られる結晶性珪素膜には、金属元素(ここではニッケル)が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}/\text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示す方法で当該元素を除去する。

【0081】添加されたニッケル元素を除去するためにゲッタリングを行う。プラズマCVD法にてゲッタリングサイトとなるアルゴン元素を含む非晶質珪素膜を膜厚5nmで形成する。本実施例のプラズマCVD法による成膜条件は、基板温度を300℃とし、チャンパー内の圧力を26.66Pa(0.2Torr)とし、チャンパー内にガス導入系からSiH₄ガスを流量100sccm、アルゴンガスを流量500sccm、窒素ガスを200sccmでそれぞれ導入するとともに高周波電源より放電周波数27.12MHz、投入RF電力300W(RFパワー密度0.5W/cm²)の放電を行う。なお、上記条件での第1の非晶質シリコン膜に含まれるアルゴン元素の原子濃度は、 $1 \times 10^{20}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 、窒素の原子濃度は $1 \times 10^{20}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ である。また、アルゴン元素を含む非晶質シリコン膜の成膜前にアルゴンプラズマ処理を行って密着性の向上を図ってもよい。その後、ランプアニ

16

ール装置を用いて650℃、3分の熱処理を行いゲッタリングする。

【0082】このように、得られた結晶性珪素膜の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された結晶性珪素膜(以下、単に半導体層という)を形成する。半導体層を形成した後、レジストからなるマスクを除去する。

【0083】次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲイト絶縁膜907となる珪素を主成分とする絶縁膜を形成する。本実施例では、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成する。

【0084】次いで、図9(a)に示すように、ゲイト絶縁膜907上に膜厚20~100nmの第1の導電膜908aと、膜厚100~400nmの第2の導電膜908bとを積層形成する。本実施例では、ゲイト絶縁膜907上に膜厚50nmの窒化タンタル膜、膜厚370nmのタングステン膜を順次積層する。

【0085】第1の導電膜及び第2の導電膜を形成する導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、2層構造に限定されず、例えば、膜厚50nmのタングステン膜、膜厚500nmのアルミニウムとシリコンの合金(Al-Si)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンをを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

【0086】次に、図9(b)に示すように露光工程によりレジストからなるマスク910~915を形成し、ゲイト電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。エッチングにはICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。

【0087】本実施例では、基板側(試料ステージ)に

(10)

17

も150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、 $12.5\text{ cm} \times 12.5\text{ cm}$ であり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39 nm/min、Ta₂Nに対するエッチング速度は80.32 nm/minであり、Ta₂Nに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。その後、レジストからなるマスク910~915を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97 nm/min、Ta₂Nに対するエッチング速度は66.43 nm/minである。なお、ゲイト絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0088】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。

【0089】こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層917~921(第1の導電層917a~921aと第2の導電層917b~921b)を形成する。ゲイト絶縁膜となる絶縁膜907は、10~20nm程度エッチングされ、第1の形状の導電層917~921で覆われない領域が薄くなったゲイト絶縁膜916となる。

【0090】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにSF₆とCl₂とO₂とを用い、それぞれのガス流量比を24/12/24(sccm)とし、1.3Paの圧力でコイル型の電極に700WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを25秒行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3 nm/m

18

in、Ta₂Nに対するエッチング速度は32.1 nm/minであり、Ta₂Nに対するWの選択比は7.1であり、絶縁膜であるSiONに対するエッチング速度は33.7 nm/minであり、SiONに対するWの選択比は6.83である。このようにエッチングガス用ガスにSF₆を用いた場合、絶縁膜916との選択比が高いので膜減りを抑えることができる。本実施例では絶縁膜916において約8nmしか膜減りが起きない。

【0091】この第2のエッチング処理によりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層924b~929bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層924a~929aとなる。なお、第1の導電層924a~929aは、第1の導電層917a~922aとほぼ同一サイズである。実際には、第1の導電層の幅は、第2のエッチング処理前に比べて約0.3μm程度、即ち線幅全体で0.6μm程度後退する場合もあるがほとんどサイズに変化がない。

【0092】また、2層構造に代えて、膜厚50nmのタンガステン膜、膜厚500nmのアルミニウムとシリコンの合金(Al-Si)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造とした場合、第1のエッチング処理の第1のエッチング条件としては、BCl₃とCl₂とO₂とを原料ガスに用い、それぞれのガス流量比を65/10/5(sccm)とし、基板側(試料ステージ)に300WのRF(13.56MHz)電力を投入し、1.2Paの圧力でコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成して117秒のエッチングを行えばよく、第1のエッチング処理の第2のエッチング条件としては、CF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行えばよく、第2のエッチング処理としてはBCl₃とCl₂を用い、それぞれのガス流量比を20/60(sccm)とし、基板側(試料ステージ)には100WのRF(13.56MHz)電力を投入し、1.2Paの圧力でコイル型の電極に600WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行えばよい。

【0093】次いで、レジストからなるマスクを除去した後、第1のドーピング処理を行って図9(d)の状態を得る。ドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1.5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。この場合、第1の導電層及び第2の導電

(11)

19

層924~928がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域930~934が形成される。第1の不純物領域930~934には $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。ここでは、第1の不純物領域と同じ濃度範囲の領域をn⁻領域とも呼ぶ。

【0094】なお、本実施例ではレジストからなるマスクを除去した後、第1のドーピング処理を行ったが、レジストからなるマスクを除去せずに第1のドーピング処理を行ってもよい。

【0095】次いで、図10(a)に示すようにレジストからなるマスク935~937を形成し第2のドーピング処理を行う。マスク935は駆動回路のpチャネル型TFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク936は駆動回路のnチャネル型TFTの一つを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク937は画素部のTFTを形成する半導体層のチャネル形成領域及びその周辺の領域と保持容量となる領域とを保護するマスクである。

【0096】第2のドーピング処理におけるイオンドーピング法の条件はドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を60~100keVとしてリン

(P)をドーピングする。ここでは、第2の導電層924a~929aをマスクとして各半導体層に不純物領域が自己整合的に形成される。勿論、マスク935~937で覆われた領域には添加されない。こうして、第2の不純物領域938~940と、第3の不純物領域942が形成される。第2の不純物領域938~940には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されている。ここでは、第2の不純物領域と同じ濃度範囲の領域をn⁺領域とも呼ぶ。

【0097】また、第3の不純物領域は第1の導電層により第2の不純物領域よりも低濃度に形成され、 $1 \times 10^{18} \sim 1 \times 10^{19}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されることになる。なお、第3の不純物領域は、テーパ形状である第1の導電層の部分を通してドーピングを行うため、テーパ部の端部に向かって不純物濃度が増加する濃度勾配を有している。ここでは、第3の不純物領域と同じ濃度範囲の領域をn⁻領域とも呼ぶ。また、マスク936、937で覆われた領域は、第2のドーピング処理で不純物元素が添加されず、第1の不純物領域944、945となる。

【0098】次いで、レジストからなるマスク935~937を除去した後、新たにレジストからなるマスク946~948を形成して図10(B)に示すように第3のドーピング処理を行う。

【0099】駆動回路において、上記第3のドーピング処理により、pチャネル型TFTを形成する半導体層および保持容量を形成する半導体層にp型の導電性を付与

20

する不純物元素が添加された第4の不純物領域949、950及び第5の不純物領域951、952を形成する。

【0100】また、第4の不純物領域949、950には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。尚、第4の不純物領域949、950には先の工程でリン(P)が添加された領域(n⁻領域)であるが、p型を付与する不純物元素の濃度がその1.5~3倍添加されていて導電型はp型となっている。ここでは、第4の不純物領域と同じ濃度範囲の領域をp⁺領域とも呼ぶ。

【0101】また、第5の不純物領域951、952は第2の導電層925aのテーパ部と重なる領域に形成されるものであり、 $1 \times 10^{19} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。ここでは、第5の不純物領域と同じ濃度範囲の領域をp⁻領域とも呼ぶ。

【0102】以上までの工程でそれぞれの半導体層にn型またはp型の導電性を有する不純物領域が形成される。導電層924~927はTFTのゲート電極となる。また、導電層928は画素部において保持容量を形成する一方の電極となる。さらに、導電層929は画素部においてソース配線を形成する。

【0103】次いで、ほぼ全面を覆う絶縁膜(図示しない)を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いてもよい。

【0104】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法(RTA法)、或いはYAGレーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。なお、レーザーは上述したレーザーのいずれでもよい。

【0105】また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

【0106】次いで、酸化窒化シリコン膜からなる第1の層間絶縁膜953をプラズマCVD法により200nmの厚さで形成する。原料ガスとしてSiH₄、N₂O、NH₃及びH₂を用い、基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。その後、熱処理(300~550℃で1~12時間の熱処理)を行い、半導体層を水素化する工程を行う。(図10(C))この工程は第1の層間絶縁膜953に含まれる水素により半導体層のダングリングボンドを終端する工程である。

(12)

21

ただし、本実施例では、第2の導電層としてアルミニウムを主成分とする材料を用いているので、水素化する工程において第2の導電層が耐え得る熱処理条件とすることが重要である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。更に、第1の層間絶縁膜953上にアクリルやSOG（Spin on Glass；塗布珪素酸化膜）、BCB（ベンゾシクロブテン）等の有機絶縁物材料から成る第2の層間絶縁膜954を形成してもよい。本実施例では膜厚1.6 μm のSOG膜を形成する。

【0107】そして、ソース配線929に達するコンタクトホールと、導電層927、928に達するコンタクトホールと、各不純物領域に達するコンタクトホールを形成する。本実施例では複数のエッチング処理を順次行う。本実施例では第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングした後、絶縁膜（図示しない）をエッチングストッパーとして第1の層間絶縁膜をエッチングしてから絶縁膜（図示しない）をエッチングした。

【0108】その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。これらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜、またはそれら積層膜等の反射性の優れた材料を用いることが望ましい。こうして、ソース電極またはドレイン電極955～960、ゲイト配線962、接続配線961が形成される。

【0109】そして、酸化窒化シリコン膜からなる第3の層間絶縁膜をプラズマCVD法により800nmの厚さで形成する。原料ガスとしてSiH₄、N₂O、NH₃及びH₂を用い、基板側（試料ステージ）にも100WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。図11（a）に示す第3の層間絶縁膜表面のように凹凸形状が生じる。

【0110】この凹凸形状を平坦化するため、CMP研磨を行う。そして、均一にCMP研磨を行うように、第3の層間絶縁膜に線状の開口部を形成する。

【0111】そこで、第2の層間絶縁膜上にレジストによるマスクを形成する。マスクの隣り合う線状の開口部の間隔は、被研磨物の材料や目的、CMP装置条件に応じて適宜設定すればよいが、配線密度が高い駆動回路部には、配線密度が低い画素部より多く線状の開口部を形成するようにマスクを形成すればよい。その後、エッチング処理を行い、線状の開口部を形成する。

【0112】マスクを除去し、第3の層間絶縁膜をCMP技術により研磨する。CMP装置の研磨条件である、研磨加圧、研磨時間、Tb/Sp等は、装置や被研磨物の材料、大きさ、CMP装置によりことなり、目的に応じて適宜設定すればよい。本実施例でのCMP装置の条件は、研磨加圧600gf/cm²、研磨時間120sec、Tb/Sp=40/40とする。CMPのスラリーには、例えば、塩

22

化シリコンガスを熱分解して得られるフュームドシリカ粒子をKOH添加水溶液に分散したものをを用いる。このようにCMP装置の研磨により第2の層間絶縁膜を均一に平坦化することができる。

【0113】以上の様にして、nチャネル型TFT901、pチャネル型TFT902、nチャネル型TFT903を有する駆動回路906と、nチャネル型TFTからなる画素TFT904、保持容量905とを有する画素部907を同一基板上に形成することができる。（図11（b））本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0114】これらのTFT901～903を適宜組み合わせさせてシフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成し、駆動回路906を形成すればよい。例えば、CMOS回路を形成する場合には、nチャネル型TFT901とpチャネル型TFT902を相補的に接続して形成すればよい。

【0115】特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT903の構造が適している。

【0116】また、信頼性が最優先とされる回路には、GOLD構造であるnチャネル型TFT901の構造が適している。

【0117】本発明の半導体装置の作製方法を用いることにより、ダミー配線を設けることなく、均一に平坦化した層間絶縁膜を得ることができるため、高い開口率を保持しつつ、均一で平坦な層間絶縁膜を実現することができる。

【0118】〔実施例2〕逆スタガ型TFTにおいて、駆動回路部と画素部とで配線密度が異なるため、本発明により平坦な層間絶縁膜を形成することができる。本実施例では、逆スタガ型TFTを用いた画素構成について説明する。

【0119】図12に本実施例の画素の断面図を示す。駆動回路部1201の駆動用TFT1203～1206、画素部1202の画素TFT1208、1209である。

【0120】図12（a）は、第1の層間絶縁膜1220上にソース配線、ドレイン配線、接続配線が形成し、ソース配線、ドレイン配線、接続配線1222を覆って第1の層間絶縁膜上にプラズマCVD法により第2の層間絶縁膜1223を形成した状態の図である。

【0121】その後、CMP装置による研磨を行い、均一に平坦な第2の層間絶縁膜を得る。そして、図12（b）に示すように、第2層間絶縁膜1223上には、画素電極1224が形成されている。なお画素電極1224は第2層間絶縁膜1223に形成されたコンタクトホールを介して接続されている。

【0122】本実施例のように本発明の半導体装置の作製方法を用いることにより、逆スタガ型TFTにおいて

もダミー配線を設けることなく、均一に平坦化した層間絶縁膜を得ることができるため、高い開口率を保持しつつ、均一で平坦な層間絶縁膜を実現することができる。

【0123】〔実施例3〕本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。

【0124】まず、実施例1に従い、図11の状態のアクティブマトリクス基板を得た後、図11のアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0125】次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

【0126】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板や位相差板等の光学フィルムを適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0127】こうして得られた液晶モジュールの構成を図13の上面図を用いて説明する。

【0128】アクティブマトリクス基板1301の中央には、画素部1304が配置されている。画素部1304の上側には、ソース信号線を駆動するためのソース信号線駆動回路1302が配置されている。画素部1304の左右には、ゲート信号線を駆動するためのゲート信号線駆動回路1303が配置されている。本実施例に示した例では、ゲート信号線駆動回路1303は画素部に対して左右対称配置としているが、これは片側のみの配置でも良く、液晶モジュールの基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、図13に示した左右対称配置が望ましい。

【0129】各駆動回路への信号の入力は、フレキシブ

ルプリント基板（Flexible Print Circuit：FPC）1305から行われる。FPC1305は、基板1301の所定の場所まで配置された配線に達するように、層間絶縁膜および樹脂膜にコンタクトホールを開口し、接続電極1309を形成した後、異方性導電膜等を介して圧着される。本実施例においては、接続電極はITOを用いて形成した。

【0130】駆動回路部、画素部の周辺には、基板外周に沿ってシール剤1307が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサによって一定のギャップ（基板1301と対向基板1306との間隔）を保った状態で、対向基板1306が貼り付けられる。その後、シール剤1307が塗布されていない部分より液晶素子が注入され、封止剤1308によって密閉される。以上の工程により、液晶モジュールが完成する。

【0131】また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。本実施例は、実施例1及び実施例2と自由に組み合わせることが可能である。

【0132】本実施例のように、均一に平坦化された膜を有するアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製することができる。

【0133】〔実施例4〕本発明は、多層配線の配線密度による平坦化膜の不均一を解決するものであり、有機発光素子（OLED：Organic Light Emitting Device）を備えた発光表示装置にも利用できることは言うまでもない。本実施例では、有機発光素子を備えた発光表示装置作製する例を図14に示す。

【0134】OLEDは、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる有機化合物（有機発光材料）を含む層（以下、有機発光層と記す）と、陽極と、陰極とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0135】なお、本明細書では、OLEDの陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0136】図14（A）は、OLEDを有するモジュール、いわゆるELモジュールの上面図、図14（B）

(14)

25

は図14 (A) をA-A'で切断した断面図である。絶縁表面を有する基板1400 (例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等) に、画素部1402、ソース側駆動回路1401、及びゲイト側駆動回路1403を形成する。これらの画素部や駆動回路は、上記実施例に従えば得ることができる。

【0137】また、1418はシール材、1419は保護膜であり、DLC膜を利用する。画素部および駆動回路部はシール材1418で覆われ、そのシール材は保護膜919で覆われている。さらに、接着材を用いてカバー材1420で封止されている。カバー材1420としては、プラスチック、ガラス、金属、セラミックス等、いかなる組成の基材でもよい。また、カバー材1420の形状および支持体の形状も特に限定されず、平面を有するもの、曲面を有するもの、可曲性を有するもの、フィルム状のものであってもよい。熱や外力などによる変形に耐えるためカバー材1420は基板1400と同じ材質のもの、例えばガラス基板を用いることが望ましく、本実施例では、サンドブラスト法などにより図14に示す凹部形状 (深さ3~10 μ m) に加工する。さらに加工して乾燥剤1421が設置できる凹部 (深さ50~200 μ m) を形成することが望ましい。また、多面取りでELモジュールを製造する場合、基板とカバー材とを貼り合わせた後、CO₂レーザー等を用いて端面が一致するように分断してもよい。

【0138】また、ここでは図示しないが、用いる金属層 (ここでは陰極など) の反射により背景が映り込むことを防ぐために、位相差板 ($\lambda/4$ 板) や偏光板からなる円偏光板と呼ばれる円偏光手段を基板1400上に設けてもよい。

【0139】なお、1408はソース側駆動回路1401及びゲイト側駆動回路1403に入力される信号を伝送するための配線であり、外部入力端子となるFPC (フレキシブルプリントサーキット) 1409からビデオ信号やクロック信号を受け取る。また、本実施例の発光装置は、デジタル駆動であってもよく、アナログ駆動であってもよく、ビデオ信号はデジタル信号であってもよいし、アナログ信号であってもよい。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤 (PWB) が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、これらの画素部や駆動回路と同一基板上に複雑な集積回路 (メモリ、CPU、コントローラ、D/Aコンバータ等) を形成することも可能であるが、少ないマスク数での作製は困難である。従って、メモリ、CPU、コントローラ、D/Aコンバータ等を備えたICチップを、COG (chip on glass) 方式やTAB (tape automated bonding) 方式やワイヤボンディング方法で実装することが好ましい。

26

【0140】次に、断面構造について図14 (B) を用いて説明する。基板1400上に絶縁膜1410が設けられ、絶縁膜1410の上方には画素部902、ゲイト側駆動回路903が形成されており、画素部1402は電流制御用TFT1411とそのドレインに電気的に接続された画素電極1412を含む複数の画素により形成される。実際には一つの画素内に複数のTFTが作り込まれるが、ここでは簡略化のため、電流制御用TFT1411のみを図示した。また、ゲイト側駆動回路1403はnチャネル型TFT1413とpチャネル型TFT1414とを組み合わせたCMOS回路を用いて形成される。

【0141】これらのTFT (1411、1413、1414を含む) は、上記実施例1のnチャネル型TFT、上記実施例1のpチャネル型TFTに従って作製すればよい。なお、ここではトップゲイト型TFTを用いた例を示したが、TFTの構造に限定されず、実施例2にあるようなボトムゲイト型TFTを用いることも可能である。

【0142】これらのTFTの接続配線上に絶縁膜を設ける。本発明において、絶縁膜の材料として用いる絶縁材料としては、酸化珪素、酸化窒化珪素、窒化珪素などの珪素を含む絶縁材料の他、ポリイミド、ポリアミド、アクリル (感光性アクリルを含む) 、BCB (ベンゾシクロブテン) といった有機樹脂膜を用いることもできる。また、絶縁膜の他の材料としては、AlN_xO_yで示される層を用いてもよい。スパッタ法を用い、例えば、窒化アルミニウム (AlN) ターゲットを用い、アルゴンガスと窒素ガスと酸素ガスを混合した雰囲気下にて成膜して得られるアルミニウムを含む窒化酸化物層 (AlN_xO_yで示される層) は、窒素を2.5atm%~47.5atm%含む膜であり、水分や酸素をブロッキングすることができる効果に加え、熱伝導性が高く放熱効果を有し、さらには透光性が非常に高いという特徴を有している。加えて、アルカリ金属やアルカリ土類金属などの不純物がTFTの活性層に入り込むのを防ぐことができる。

【0143】その後、絶縁膜に開口部を形成し、均一に研磨し平坦化する。これにより、有機化合物層の膜厚を均一にすることができ、有機化合物層対して電界を均一に加えることができる。なお、電界が不均一に加わる場合には、有機化合物層における電流密度も不均一なものとなり、発光素子の輝度が低下するだけでなく、素子の劣化が早まるために素子寿命が低下するといった問題が生じるため、CMP法による処理は有機化合物層に対して均一な電界を加えるという面においても素子特性を向上するための効果を有している。また絶縁膜は、エッチングしてバンク1415として機能する。

【0144】また、画素電極を陰極とし、EL層と陽極を積層して図14とは逆方向に発光する構成としてもよ

(15)

27

い。図15にその一例を示す。なお、上面図は同一であるので省略する。

【0145】図15に示した断面構造について以下に説明する。基板1500としては、ガラス基板や石英基板の他にも、半導体基板または金属基板も使用することができる。基板1500上に絶縁膜1510が設けられ、絶縁膜1510の上方には画素部1502、ゲイト側駆動回路1503が形成されており、画素部1502は電流制御用TFT1511とそのドレインに電氣的に接続された画素電極1512を含む複数の画素により形成される。また、ゲイト側駆動回路1503はnチャネル型TFT1513とpチャネル型TFT1514とを組み合わせたCMOS回路を用いて形成される。

【0146】画素電極1512はOLEDの陰極として機能する。また、画素電極1512の両端にはバンク1515が形成され、画素電極1512上にはEL層1516およびOLEDの陽極1517が形成される。

【0147】陽極1517は全画素に共通の配線としても機能し、接続配線1508を経由してFPC1509に電氣的に接続されている。さらに、画素部1502及びゲイト側駆動回路1503に含まれる素子は全て陽極1517、シール材1518、及び保護膜1519で覆われている。また、カバー材1520と基板1500とを接着剤で貼り合わせた。また、カバー材には凹部を設け、乾燥剤1521を設置する。

【0148】なお、シール材1518としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材1518はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0149】また、図15では、画素電極を陰極とし、EL層と陽極を積層したため、発光方向は図15に示す矢印の方向となっている。

【0150】また、ここでは図示しないが、用いる金属層（ここでは陰極となる画素電極など）の反射により背景が映り込むことを防ぐために、位相差板（ $\lambda/4$ 板）や偏光板からなる円偏光板と呼ばれる円偏光手段をカバー材1520上に設けてもよい。

【0151】上記有機発光素子を備えた発光表示装置の駆動方法は、定電流駆動と定電圧駆動とがあるが本実施例はどちらをもちいてもよい。

【0152】なお、本実施例は実施例1及び実施例2と自由に組み合わせることが可能である。

【実施例5】本発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置の表示部として用いることが可能である。

【0153】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍

28

等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図18に示す。

【0154】図18（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により作製した発光装置は、表示部2003に用いることができる。発光素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0155】図18（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により作製した発光装置は表示部2102に用いることができる。

【0156】図18（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により作製した発光装置は表示部2203に用いることができる。

【0157】図18（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により作製した発光装置は表示部2302に用いることができる。

【0158】図18（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明により作製した発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0159】図18（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明により作製した発光装置は表示部2502に用いることができる。

【0160】図18（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部260

(16)

29

6、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明により作製した発光装置は表示部2602に用いることができる。

【0161】ここで図18(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明により作製した発光装置は、表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0162】なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影して、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0163】また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0164】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが好ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが好ましい。

【0165】以上の様に、本発明の作製方法を用いて作製された発光装置の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施

30

例の電気器具は本発明を実施することにより作製された発光装置をその表示部に用いることができる。

【発明の効果】

【0166】本発明の半導体装置の作製方法を用いることにより、均一に平坦化した膜表面を得ることができ、下地段差の原因となるパターンの密度、寸法に依存しない半導体装置を提供することができる。

【0167】

【図面の簡単な説明】

【図1】 本発明の半導体装置の断面図。

【図2】 本発明の半導体装置の断面図。

【図3】 本発明の半導体装置の断面図。

【図4】 本発明の半導体装置の断面図。

【図5】 従来の半導体装置の断面図。

【図6】 従来の研磨率について測定した図。

【図7】 本発明の構成を説明する図。

【図8】 本発明の研磨効率について測定した図。

【図9】 本発明の半導体装置の作製工程を説明する図。

【図10】 本発明の半導体装置の作製工程を説明する図。

【図11】 本発明の半導体装置の作製工程を説明する図。

【図12】 逆スタガ型TFTの構造を説明する図。

【図13】 本発明の半導体装置の上面図。

【図14】 本発明の発光装置の断面図。

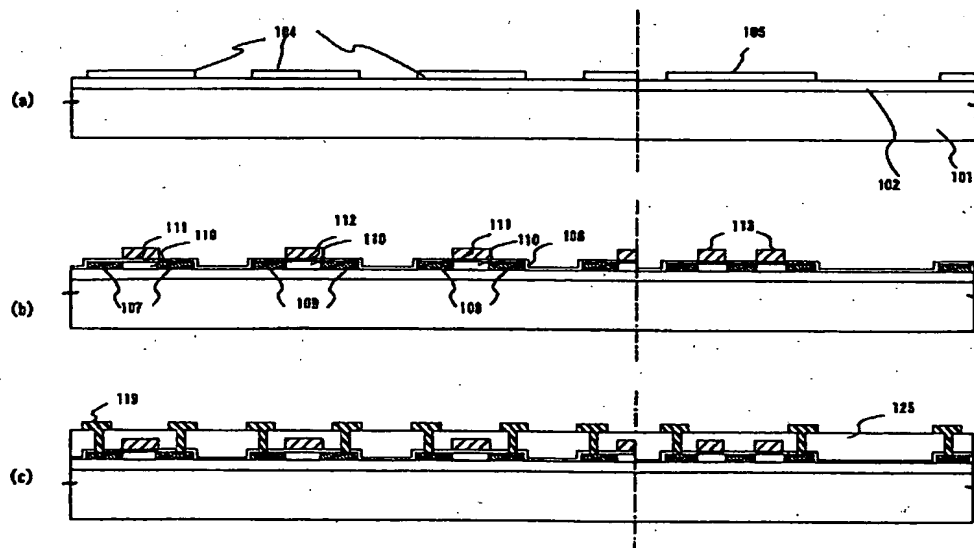
【図15】 本発明の発光装置の断面図。

【図16】 本発明の構成を説明する図。

【図17】 本発明の構成を説明する図。

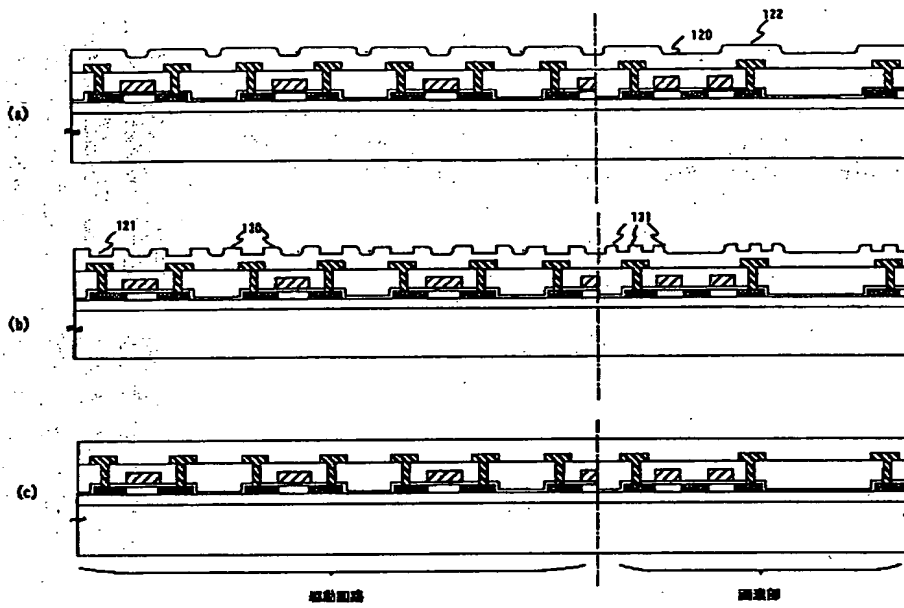
【図18】 電気器具の一例を示す図。

【図1】

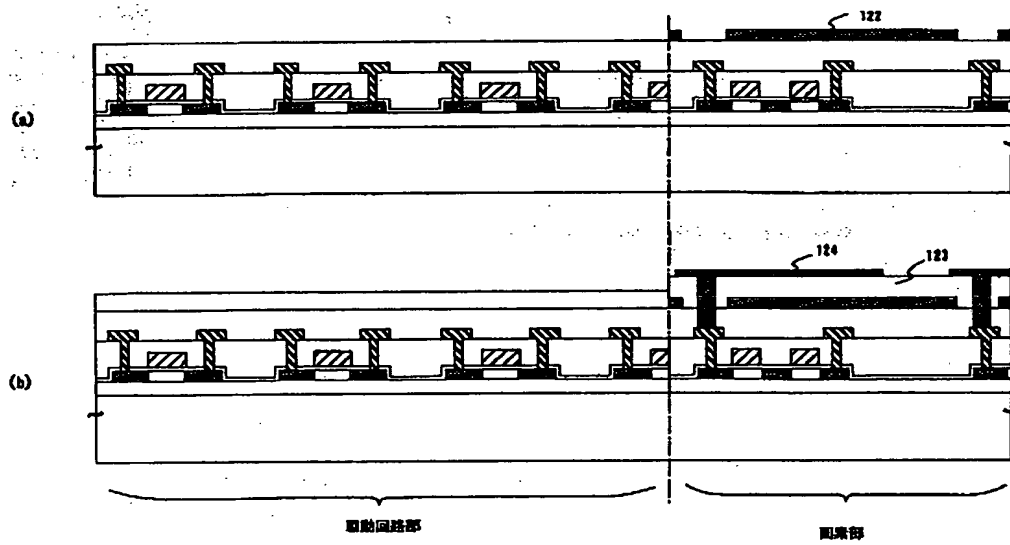


(17)

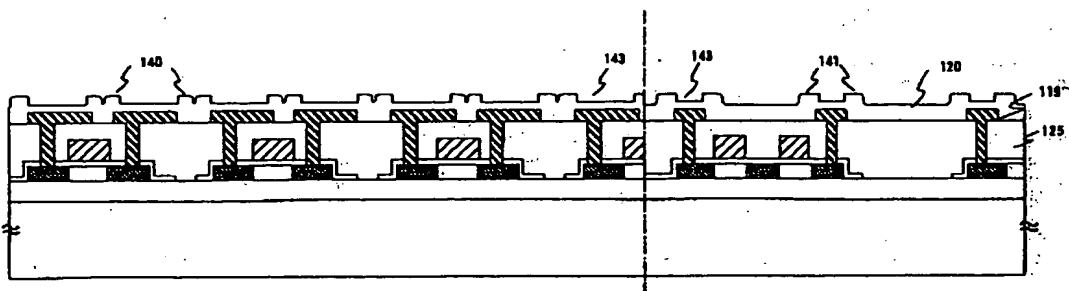
【図2】



【図3】

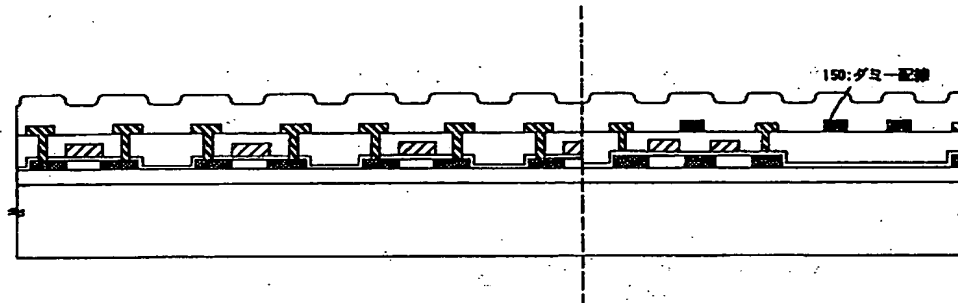


【図4】

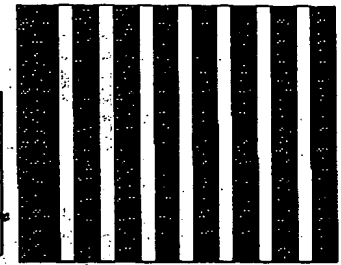


(18)

【図5】

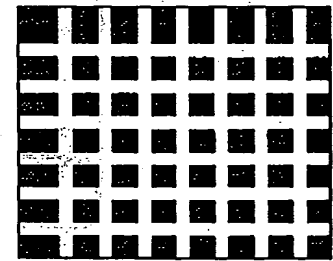
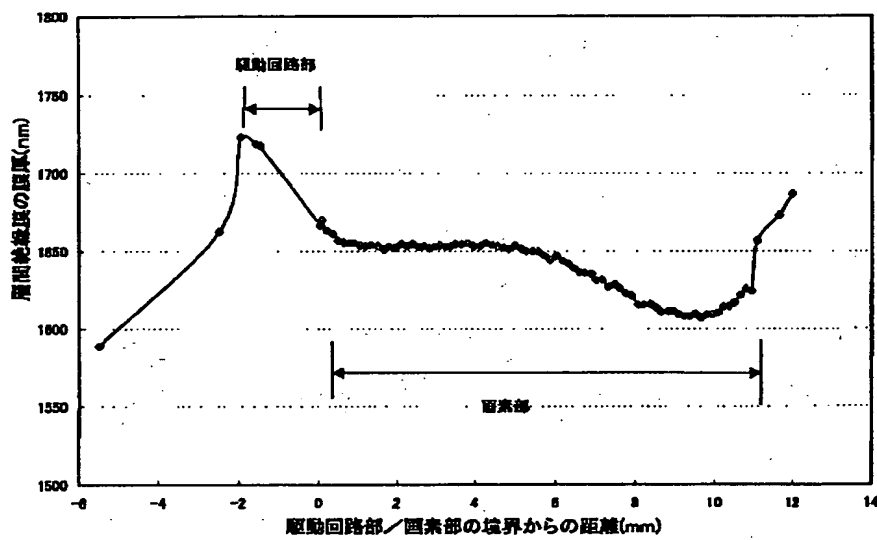


【図7】

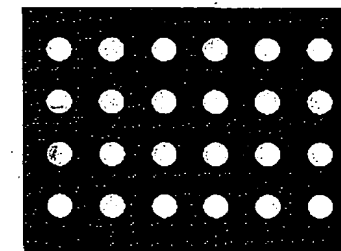


線状

【図6】

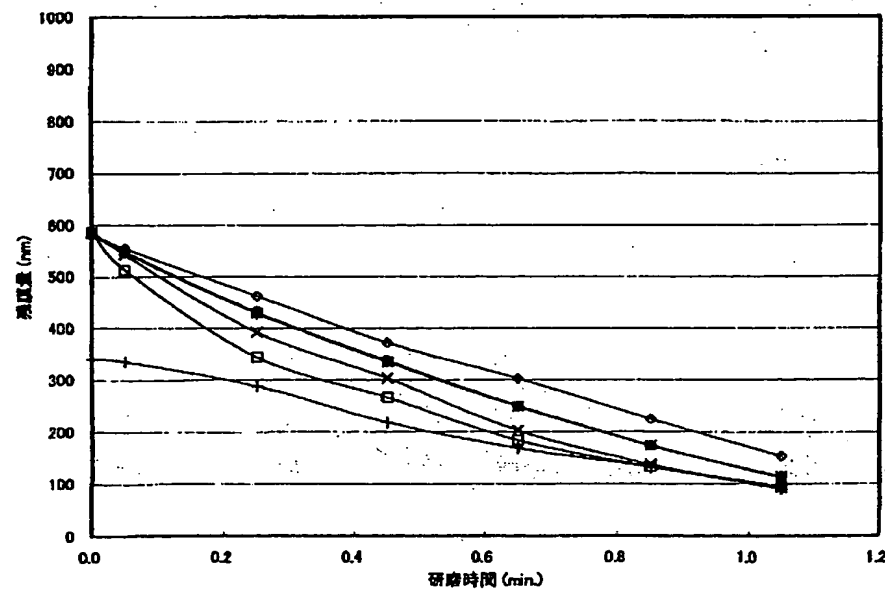


格子状



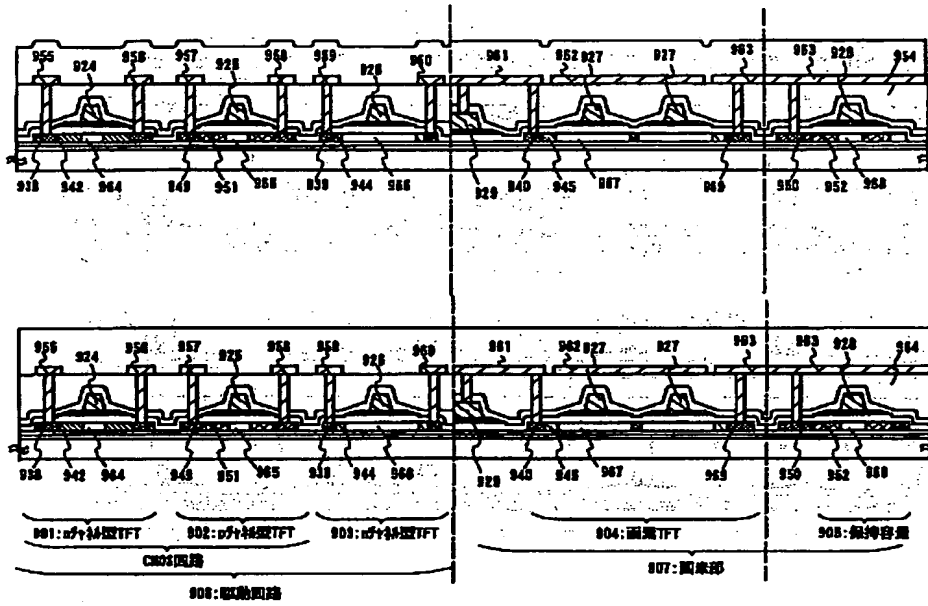
円状

【図8】

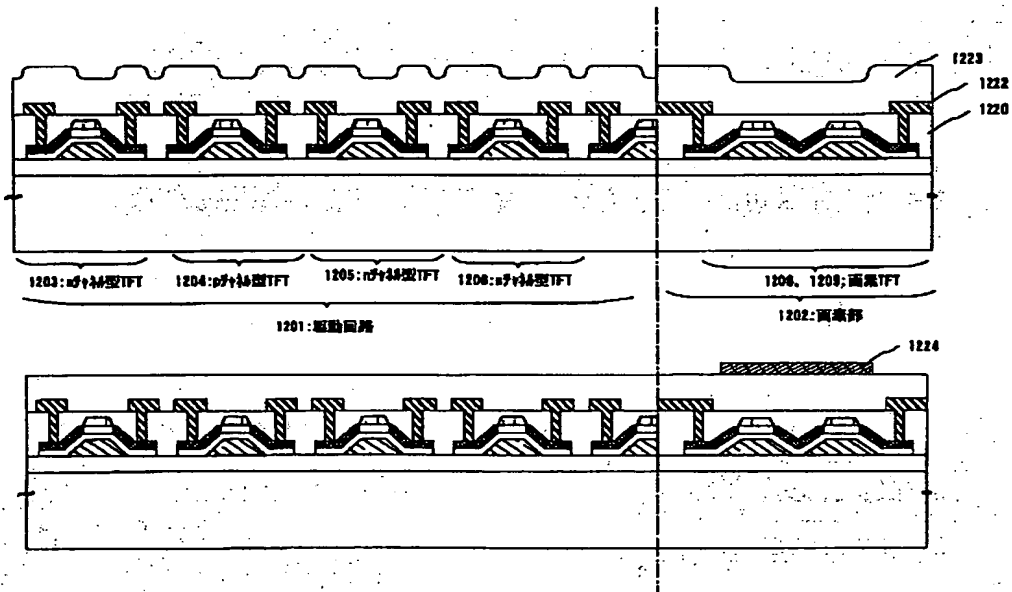


(20)

【図11】

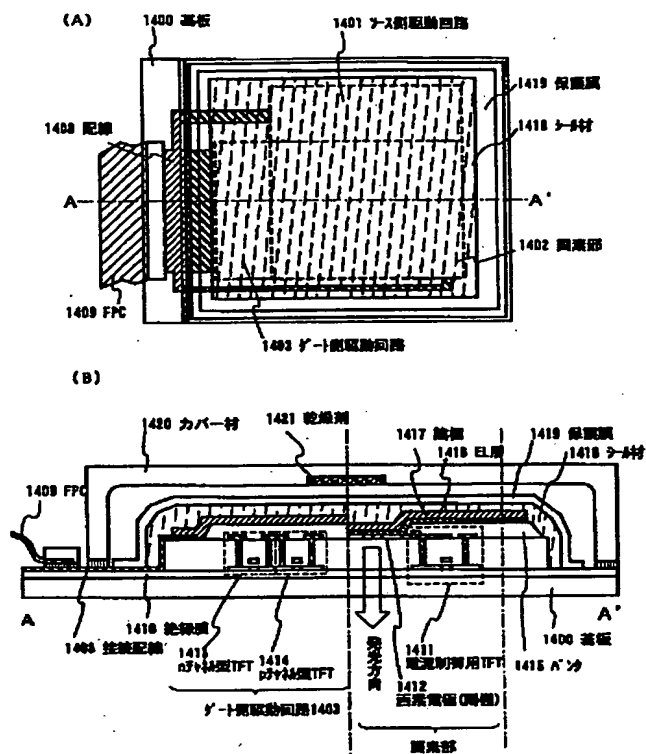


【図12】

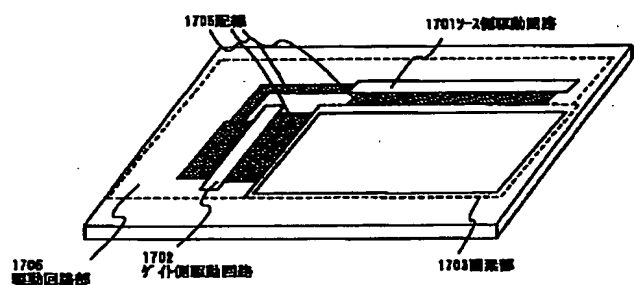


(21)

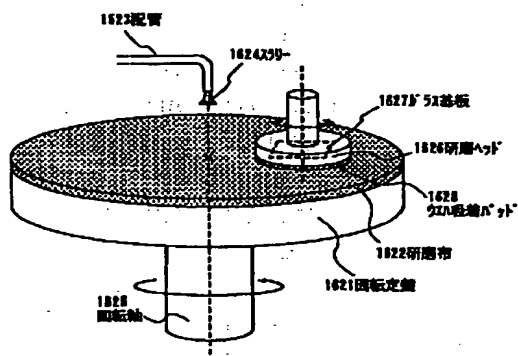
【図 14】



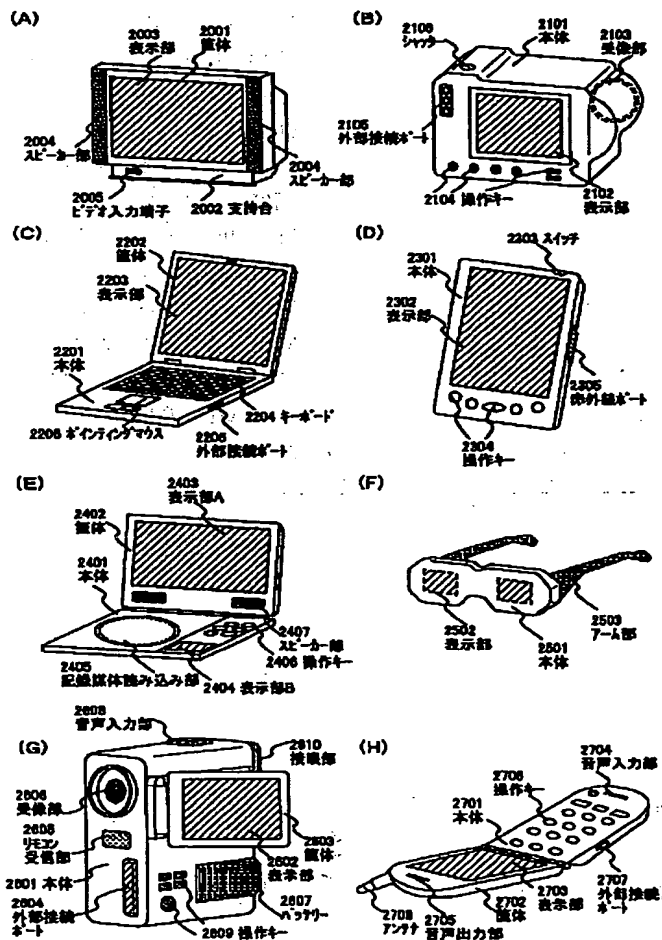
【図 17】



【图 16】



【図 18】



フロントページの続き

(51) Int. Cl. ⁷

H O 1 L 21/336

23/12

識別記号

501

FI

H O 1 L 29/78

テーマコート* (参考)

6 2 7 A

6 1 9 A.

(22)

29/786

21/88

K

Fターム(参考) 2H092 GA59 JA25 JB58 MA01 NA19
NA29 PA06
3C058 AA07 CA01 CB01 DA12
5F033 GG04 HH08 HH11 HH17 HH18
HH19 HH20 HH21 HH33 JJ08
JJ11 JJ17 JJ18 JJ19 JJ20
JJ21 JJ33 KK04 MM08 MM13
NN06 NN07 PP15 QQ09 QQ16
QQ18 QQ25 QQ46 QQ47 QQ48
RR04 RR08 RR21 RR22 RR26
SS08 SS11 SS15 XX01
5F110 AA26 BB02 BB04 CC02 CC08
DD01 DD02 DD03 DD05 DD13
DD14 DD15 DD17 EE01 EE02
EE03 EE04 EE05 EE06 EE09
EE14 EE15 EE23 FF02 FF04
FF22 FF28 FF30 FF35 FF36
GG01 GG02 GG13 GG25 GG43
GG44 GG45 GG51 HJ01 HJ04
HJ07 HJ12 HJ13 HJ23 HL01
HL02 HL03 HL04 HL06 HL23
HM15 NN03 NN22 NN23 NN24
NN27 NN28 NN34 NN35 NN40
NN47 NN72 PP01 PP02 PP03
PP04 PP05 PP10 PP13 PP29
PP34 QQ09 QQ11 QQ19 QQ24
QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.